

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-142931

(43)Date of publication of application : 25.05.2001

(51)Int.Cl.

G06F 17/50

G03F 1/08

H01L 21/82

(21)Application number : 11-327370

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 17.11.1999

(72)Inventor : IGARASHI MUTSUNORI

MURAKATA MASAMI

MIHASHI TAKASHI

YAMADA MASAOKI

MINAMI FUMIHIRO

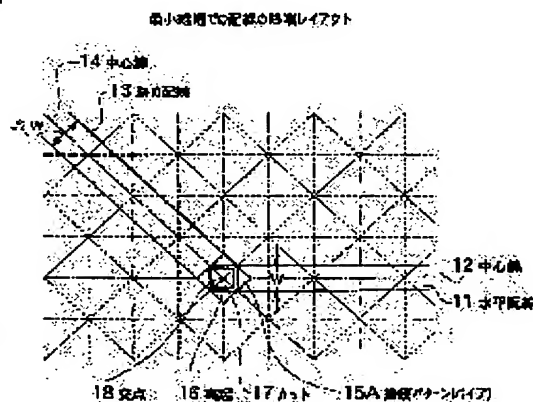
ISHIOKA TAKASHI

(54) AUTOMATIC DESIGN METHOD, MASK SET FOR EXPOSURE, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, PRODUCING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND RECORDING MEDIUM WITH RECORDED AUTOMATIC DESIGN PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an automatic design method with which the terminal layout of slanted wirings is efficiently performed with a little computational quantity.

SOLUTION: This automatic design method for wiring pattern is provided with a step for generating horizontal wirings 11 having an arbitrary line width, a step for generating slanted wirings 13, which have an arbitrary line width, are extended obliquely at 45° to the horizontal wirings and overlap the terminal parts of horizontal wirings, and a step for setting connecting patterns 15A for connecting horizontal wirings and slanted wirings at the intersections of a centerline in the lengthwise direction of horizontal wirings and a centerline in the lengthwise direction of slanted wirings at least inside an overlap area, where the terminals of horizontal wirings 11 and the terminals of slanted wirings 13 are overlapped.



LEGAL STATUS

[Date of request for examination]

27.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

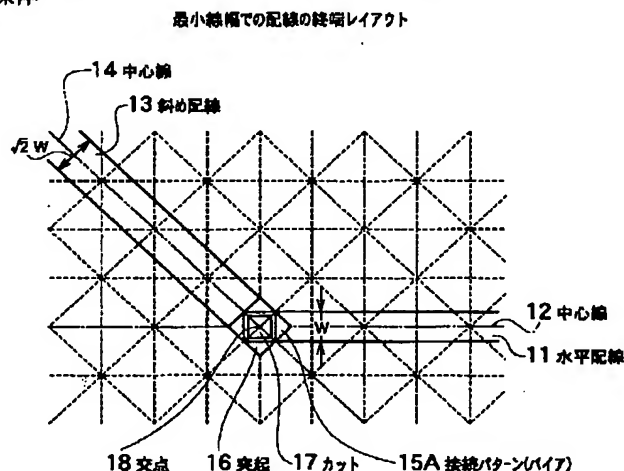
[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



【特許請求の範囲】

【請求項 1】 第 1 の線幅を有し、所定の方向に延びる第 1 配線を生成するステップと、

第 2 の線幅を有し、前記第 1 配線に対して直交しない角度で斜め方向に延び、その終端部が前記第 1 配線の終端部に重なる第 2 配線を生成するステップと、

前記第 1 配線の終端と第 2 配線の終端とが重なり合う重複領域において、少なくとも前記第 1 配線の長手方向の中心線と第 2 配線の長手方向の中心線との交点に、前記第 1 配線と第 2 配線とを接続する接続パターンを設定するステップとを含むことを特徴とする半導体集積回路の配線パターンの自動設計方法。

【請求項 2】 前記終端部において、前記重複領域からはみ出る突起部を削除するステップをさらに含むことを特徴とする請求項 1 に記載の自動設計方法。

【請求項 3】 前記接続パターンの設定ステップは、前記第 1 配線と第 2 配線の中心線の交点に位置する接続パターンを含む 1 以上の個別の接続パターンを、前記重複領域に設定することを特徴とする請求項 1 に記載の自動設計方法。

【請求項 4】 前記接続パターンは、前記第 1 および第 2 の配線の各々の長手方向と幅方向の少なくとも一方に各辺が沿った矩形の組み合わせにより生成されることを特徴とする請求項 1 に記載の自動設計方法。

【請求項 5】 前記配線パターンは、第 1 配線の端部を利用した第 1 メタルと、第 2 配線の端部を利用した第 2 メタルと、前記第 1 メタルと第 2 メタルとを接続するカットパターンとを有し、前記接続パターン設定ステップは、前記第 1 配線と第 2 配線の中心線の交点に位置するカットパターンを含む 1 以上のカットパターンを有するひとつの集合接続パターンを、前記重複領域に生成することを特徴とする請求項 1 に記載の自動設計方法。

【請求項 6】 前記第 1 配線と第 2 配線とは異なる層の配線であることを特徴とする請求項 1 に記載の自動設計方法。

【請求項 7】 前記第 1 配線と第 2 配線とは同じ層の配線であることを特徴とする請求項 1 に記載の自動設計方法。

【請求項 8】 所定の方向にのびる基準直交ラインパターンを有する第 1 マスクと、前記基準直交ラインパターンの終端部に位置合わせされるパイアホールの開口パターンを有する第 2 マスクと、前記開口パターンに位置合わせされるライン終端部を有し、前記基準直交ラインパターンと直交しない角度をなして斜め方向に延びる斜めラインパターンを有する第 3 マスクとを少なくとも含む複数枚のマスクからなる露光用マスクセット。

【請求項 9】 第 1 の線幅を有し、所定の方向に延びる基準直交配線からなる第 1 配線層と、前記第 1 配線層の上部に位置する絶縁層と、

前記絶縁層の上部に位置し、前記基準直交線と直交しない角度を成して斜め方向に伸びる第 2 の線幅の斜め配線からなる第 2 の配線層と、

前記第 2 配線層の斜め配線の終端部が、前記第 1 配線層の基準直交配線の終端部と重なり合う重複領域において、前記絶縁層を貫通して形成された接続用導電部材とを含み、前記接続用導電部材の水平断面形状は、水平断面を構成する各辺が、前記第 1 配線層と第 2 配線層のうち、線幅の狭い方の配線方向と配線幅方向とに沿った矩形形状であることを特徴とする、斜め配線構造を有する半導体集積回路装置。

【請求項 10】 少なくとも前記基準直交配線の長手方向の中心線と、斜め配線の長手方向の中心線との交点に位置するひとつ以上の接続用導電部を有することを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 11】 前記終端部において、前記第 1 配線層の基準直交線が前記重複領域からはみ出す第 1 オーバーハング部と、前記第 2 配線層の斜め配線が前記重複領域からはみ出す第 2 オーバーハング部を実質的になくしたことを特徴とする請求項 9 に記載の半導体集積回路装置。

【請求項 12】 チップの角に位置する PLL と、前記 PLL からチップ中央に向けて、チップの基準直交座標軸に対して直交しない角度を成して斜め方向に延び、チップ中央で終端するメインクロック配線と、前記メインクロック配線のチップ中央の終端から、基準直交座標軸に対して直交しない角度を成して左右対称に分岐するクロック配線で構成されるクロックツリーとを備える半導体集積回路装置。

【請求項 13】 前記クロックツリーは複数の層で構成され、同じ方向にのびるクロック配線は同一の層に形成されることを特徴とする請求項 12 に記載の半導体集積回路装置。

【請求項 14】 チップの角に位置する PLL と、前記 PLL に接続され、基準直交座標軸に対して直交しない角度を成すメッシュ状の斜め配線によって、チップのほぼ全域に渡って形成されるクロックメッシュとを備える半導体集積回路装置。

【請求項 15】 前記クロックメッシュは同一の層で形成されることを特徴とする請求項 14 に記載の半導体集積回路装置。

【請求項 16】 基準直交座標に対して直交しない角度を成すメッシュ状の斜め配線で構成するクロックメッシュと、前記クロックメッシュ全体を駆動するルートドライバと、前記ルートドライバから延びるメインクロック配線と、前記メインクロック配線に接続され、前記斜め配線を個別に駆動する複数のサブドライバとを備える半導体集積回路装置。

【請求項 17】 半導体集積回路のチップの端部に位置し、前記チップを横断する基本クロックを供給するメイン P L L と、

前記メイン P L L から延びる基本クロック配線と、
前記チップ内に設けられ、各々が、前記基本クロック配線に接続されるクロックドライバセルと、斜め配線で構成されるクロックツリーとを備える複数のランダムブロックと、

を備え、前記各クロックドライバセルは、前記基本クロックを該基本クロックよりも高周波のクロックに変換し、関連のクロックツリーを介してランダムブロック内部に高周波クロックを供給することを特徴とする半導体集積回路装置。

【請求項 18】 前記基本クロック配線は、回路を横切って基準直交座標軸方向に延びることを特徴とする請求項 17 に記載の半導体集積回路装置。

【請求項 19】 前記メイン P L L は回路のコーナーに位置し、前記基本クロック配線は回路を横切って、基準直交座標軸に対して直交しない斜め方向に延びることを特徴とする請求項 17 に記載の半導体集積回路装置。

【請求項 20】 半導体集積回路装置の端部に位置し、半導体集積回路装置内部を横断する基本クロックを供給するメイン P L L と、

前記メイン P L L から延びる基本クロック配線と、
各々が前記基本クロック配線に接続されるクロックドライバセルを有する複数のランダムブロックと、
を備え、前記各ランダムブロックは、ブロック上に張り巡らされた斜め配線で構成されるクロックメッシュを備え、前記各クロックドライバセルは、前記基本クロックを該基本クロックよりも高周波のクロックに変換し、関連のクロックメッシュを介してランダムブロック内部に高周波クロックを供給することを特徴とする半導体集積回路装置。備える半導体集積回路装置。

【請求項 21】 前記基本クロック配線は、回路を横切って基準直交軸方向に延びることを特徴とする請求項 20 に記載の半導体集積回路装置。

【請求項 22】 前記メイン P L L は半導体集積回路の四隅のひとつに位置し、前記基本クロック配線は、回路を横切って前記基準直交座標軸に対して直交しない斜め方向に延びることを特徴とする請求項 20 に記載の半導体集積回路装置。

【請求項 23】 半導体基板上に所定の方向に延びる第 1 の配線を形成するステップと、

前記第 1 の配線層上に層間絶縁膜を形成するステップと、

前記層間絶縁膜を貫通するビアホールを形成するステップと、

前記ビアホールの内部を埋め込み、前記第 1 の配線と接続する接続用導電部を形成するステップと、

前記第 1 配線に対して直交しない角度を成して延び、そ

の終端部が前記接続用導電部に接続される第 2 配線を形成するステップとを含む半導体集積回路装置の製造方法。

【請求項 24】 半導体集積回路のレイアウトパターンの自動設計装置を動作させるためのプログラムであって、

第 1 の線幅で所定方向に延びる第 1 ラインと、第 2 の線幅で前記第 1 ラインに対して直交しない角度で斜めに延びる第 2 ラインとを生成させるステップと、

10 前記第 1 ラインの終端と第 2 ラインの終端とが重なり合う重複領域を検出させ、前記重複領域において、前記第 1 ラインの長手方向の中心線と第 2 ラインの長手方向の中心線との交点を検出させるステップと、
前記重複領域の形状に応じて接続パターンを読み出し、読み出した接続パターンを前記交点に設定させるステップとを含むプログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

20 【発明の属する技術分野】本発明は C A D による斜め配線パターンの終端レイアウトの自動設計方法、この自動設計方法によって製造される露光マスクセット、半導体集積回路装置、半導体集積回路装置の製造方法、および自動設計プログラムを記録した記録媒体に関する。

【0002】

【従来の技術】 L S I 技術の進歩により回路が大規模化されるにつれ、回路の論理設計量も膨大になってくる。そこで、計算機を有効に利用できる論理設計法として、C A D (計算機利用設計) による論理設計が行われている。

30 【0003】 C A D 上で、水平方向および垂直方向に延びる基準直交ラインを組み合わせた配線構造を設計する場合、水平配線と垂直配線とが交わる交点で、それぞれの配線が終端する場合が多々ある。現実の半導体装置で水平配線と垂直配線とが異なる配線層に形成される場合、水平配線と垂直配線とを 3 次元的に接続するビア (v i a) ホールが必要になる。当然、C A D によるレイアウト上でも、水平配線と垂直配線との終端部に、ビアホールに対応した接続パターンを設定しなければならない。

40 【0004】 一般に、通常の線幅 W を有する 2 つの基準直交ラインの終端処理として、それぞれの配線の末端部を、W / 2 だけ伸ばす終端処理が行われている。

【0005】 図 26 は、最小線幅の基準直交配線の終端処理を示す。図 26 (a) において、水平配線 801 と垂直配線 803 とが互いに交差して終端する。C A D は、それぞれの配線の中心線 802、804 が交わる点を交点 808 として認識するが、配線が重なり合う重複領域は認識しない。

【0006】 現実の半導体装置で、水平配線 801 が下層に形成され、垂直配線 802 が上層に形成されるとす

ると、2つの配線をバイアホールを用いて立体的に接続しなければならない。当然、レイアウト上においても、2つの配線を接続するための接続パターン805を設定しなければならない。接続パターン805は、下層の配線801の端部で構成される下部メタル801aと、上層の配線803の端部803aで構成される上部メタル803aと、上部メタル803aと下部メタル801aを接続する開口パターン（以下において「カットパターン」という。）807を有する。

【0007】図26の例において、CADは一応2つの配線が交わると認識しているので、レイアウト上でその交点808に接続パターン805を設定すること自体には問題がない。しかし、図26(a)の状態では、水平配線801と垂直配線803が重なり合う重複領域が非常に小さいので、現実の半導体集積回路装置で接続パターン805に基づいてバイアホールを形成しても上下配線間の接続がうまくいかない。

【0008】このため、図26(b)に示すように、水平配線801と垂直配線803の端部を、それぞれ $W/2$ だけ延長して、2つの配線がその終端部で完全に重なるように処理し、その重複領域に接続パターン805を設定するようにしていた。

【0009】図26(c)は、従来の基準直交配線の交差する終端部での接続パターン805の形状を示す図である。基準直交配線の交差部に設定される接続パターンなので、上面が正方形の形状をしている。

【0010】図27は、幅広の基準直交配線が交差して終端する従来の例を示す。幅広の配線は、特殊配線という扱いで、一般の信号線とは異なり、末端の処理をしていないが、図26と同様に、幅広の水平配線811と、幅広の垂直配線813の交差する重複領域に接続パターン815を設定してある。重複領域が広くなった分、ひとつの接続パターン中に複数のカット817を設けている。この場合も、水平配線811と垂直配線811の双方を $W/2$ だけ引き伸ばし、重複領域内に複数のカット817を有する接続パターン805を設定している。

【0011】図26および25に示す従来例のように、水平方向および垂直方向の基準直交配線のみを使用している分には、CAD上の終端処理は比較的容易であった。

【0012】しかし、半導体回路構成の微細化が進むにつれ、半導体回路の製造工程や構成要素を含むあらゆる点での精度改善が望まれている。特に配線に起因する遅延成分は、半導体回路が微細になればなるほど回路性能に対する影響が顕著になるので、いかに遅延を低減するかが重要な課題になってきている。

【0013】配線による遅延は、そのほとんどが配線抵抗によるものである。配線抵抗を低減するには、配線長を短縮するのが最も有効である。そこで、半導体回路上の2点間を結ぶ配線距離を短縮すべく、水平および垂直

方向に延びる基準直交配線に加えて、斜め配線を用いることが提案されている。同時に、斜め配線層の設計レイアウトをCAD上で行うことが提案されている。この場合、斜め配線層を含む配線が多層化するにつれて、たとえば下層の基準直交配線と上層の斜め配線とを接続するためのバイアホールの形状や処理プロセスも工夫する必要がある。

【0014】本発明の発明者等は、特願平10-176285号および特願平11-175930号において、斜め配線の線幅と膜厚を、基準直交配線の線幅および膜厚のそれぞれ $\sqrt{2}$ 倍にすることによって、斜め配線自体の抵抗を大幅に低減するとともに、異なる層の配線間を接続するバイアホールの形状を工夫してカット面積を十分に確保する技術を提案した。さらに、回路の高速操作を実現するために、斜め配線と基準直交配線とを組み合わせたツリー型のクロック供給配線経路を提案した。

【0015】

【発明が解決しようとする課題】しかし、斜め配線を用いた場合のレイアウト上での終端処理に関しては、未だ何の提案もなされていない。

【0016】そこで、本発明は、斜め配線を用いた場合にも、レイアウト上での配線の終端処理を容易に行うことのできる自動設計方法を提供することを目的とする。

【0017】本発明の第2の目的は、上記の自動設計方法によって製造され、多層配線の形成に適した露光用マスクセットを提供することにある。

【0018】本発明の第3の目的は、より高速で正確な作動を可能にする斜め配線構造を有する半導体集積回路装置を提供することにある。

【0019】本発明の第4の目的は、斜め配線を利用したクロック供給構造を有する大規模集積回路(LSI)等の半導体集積回路装置を提供することにある。

【0020】本発明の第5の目的は、複数のブロックが集積され、それぞれが同期して高速かつ正確に作動することのできるLSI等の半導体集積回路装置を提供することにある。

【0021】本発明の第6の目的は、斜め配線の終端処理が適切に行われた半導体集積回路装置の製造方法を提供することにある。

【0022】本発明の第7の目的は、斜め配線を有する半導体集積回路のレイアウトパターンの自動設計装置を動作させるためのプログラムであって、この自動設計装置を比較的少ないデータ量で動作させるプログラムを記憶した記憶媒体を提供することにある。

【0023】

【課題を解決するための手段】第1の目的を達成するために、本発明による自動設計方法では、第1の線幅を有し、所定方向に延びる第1配線を生成する。次いで、第2の線幅を有し、第1配線に対して直交しない角度で斜め方向に延び、その終端部が第1配線の終端部に重な

る第2配線を生成する。さらに、第1配線と第2配線とが重なり合う重複領域において、少なくとも前記第1配線の中心線と第2配線の中心線との交点に、第1配線と第2配線とを接続する接続パターンを設定する。

【0024】上記の終端部においては、第1配線と第2配線との重複領域からはみ出すオーバーハング部分を削除する。これにより、配線リソースを効率的に使用することができる。

【0025】接続パターンを設定する際には、第1配線と第2配線との重複領域内において、第1配線の長手方向の中心線と第2配線の長手方向の中心線との交点を含む複数位置に、1以上の個別の接続パターンを設定してもよい。これにより、レイアウト上で接続パターンを設定する際のデータ量を低減することができる。また、このレイアウトに基づいて実際の配線を形成する際に、第1配線と第2配線とを確実に接続することができる。

【0026】接続パターンの形状は、たとえば、各辺が第1配線および第2配線の各々の配線方向と幅方向の少なくとも一方に沿った矩形の組み合わせである。すなわち、正方形の組み合わせでも、正方形と平行四辺形の組み合わせでもかまわない。

【0027】接続パターンは、第1配線の端部を利用した第1メタルと、第2配線の端部を利用した第2メタルと、第1メタルと第2メタルとを接続するカットパターンとを有する。この場合、接続パターンを設定する際に、重複領域内において、第1配線の中心線と第2配線の中心線との交点を含む複数箇所に複数のカットマークを有するひとつの集合接続パターンを設定してもよい。

【0028】第1配線と第2配線とは、たとえば異なる層の配線である。また、第1配線と第2配線とは同じ層の配線であってもよい。

【0029】第2の目的を達成するために、本発明の露光用マスクセットは、所定方向にのびる基準直交ラインパターンを有する第1マスクと、バイアホールの開口パターンを有する第2マスクと、基準直交ラインパターンと直交しない角度をなして斜め方向にのびる斜めラインパターンを有する第3マスクとを含む。第1、第2、および第3マスクを重ねた場合に、斜めラインパターンのライン終端部と、開口パターンの位置と、基準直交ラインパターンのライン終端部の位置とが重なり合う。これにより多層の配線層を形成する場合に、各層での配線リソースの無駄をなくし、かつ上層のラインと下層のラインとを確実に接続することができる。

【0030】第3の目的を達成するために、本発明の半導体集積回路装置は、所定方向に延びる基準直交配線からなる第1配線層と、第1配線層の上部に位置する絶縁層と、絶縁層の上部に位置し、前記基準直交線と直交しない角度を成して斜め方向に伸びる斜め配線からなる第2の配線層と、第2配線層の斜め配線の終端部が、第1配線層の基準直交配線の終端部と重なり合う重複領

域において、前記絶縁層を貫通して形成された接続用導電部とを含む斜め配線構造を有する。接続用導電部の水平断面形状は、第1配線と第2配線のうち、線幅の狭い方の配線の長手方向と幅方向に各辺に沿った矩形形状を有する。これにより、異なる層で延びる2つの配線の終端部が、立体的に確実に接続される。

【0031】好ましくは、この半導体集積回路装置は、少なくとも基準直交配線の長手方向の中心線と、斜め配線の長手方向の中心線との交点に位置する1以上の接続用導電部を有する。

【0032】配線の終端部においては、第1配線層の基準直交線が前記重複領域からはみ出す第1オーバーハング部と、第2配線層の斜め配線が前記重複領域からはみ出す第2オーバーハング部を実質的になくした。これにより各層での配線リソースの無駄をなくすことができる。

【0033】接続用導電部は、第1配線と第2配線との重複領域内において、第1配線の長手方向の中心線と第2配線の長手方向の中心線との交点を含む複数位置に、1以上の個別の正方形の接続用導電部を設定してもよい。これにより、第1配線と第2配線とを確実に接続することができる。

【0034】接続用導電部は、第1配線の端部を利用した第1メタルと、第2配線の端部を利用した第2メタルと、第1メタルと第2メタルとを接続するバイアとを有する。この場合、接続用導電部を設定する際に、重複領域内において、第1配線の中心線と第2配線の中心線との交点を含む複数箇所に複数のバイアを有するひとつの集合接続用導電部を設けてもよい。

【0035】第1配線と第2配線とは、たとえば異なる層の配線である。また、第1配線と第2配線とは同じ層の配線であってもよい。

【0036】第4の目的を達成するために、本発明の半導体集積回路装置は、チップの角に位置するPLLと、このPLLからチップ中央に向けて基準直交座標軸と直交しない角度を成して斜め方向に延び、チップ中央で終端するメインクロック配線と、チップ中央のメインクロック配線の終端から基準直交座標と直交しない角度を成して斜め方向に向けて左右対称に分岐するクロックツリーとを備える。これによって負荷容量のバランスをとりつつ、高速で正確にクロックを供給することが可能になる。

【0037】上記のクロックツリー配線は複数の層で構成され、同じ方向にのびるクロック配線は同一の層に形成される。これによって配線層の相違によるばらつきを排除し、動作の信頼性を高めることができる。

【0038】また、本発明の別の構成による半導体集積回路装置は、チップの角に位置するPLLと、PLLに接続され、基準直交座標軸と直交しない角度を成すメッシュ状の斜め配線を用いてチップのほぼ全域に渡って形

10

20

30

40

50

成されるクロックメッシュとを備える。

【0039】上記のクロックメッシュは同一の層で形成される。これにより、同層の斜め配線網を介してクロックを迅速に供給することができる。

【0040】本発明のさらに別の構成による半導体集積回路装置は、上述のメッシュ状の斜め配線を用いたクロックメッシュと、クロックメッシュ全体を駆動するルートドライバと、ルートドライバから延びるメインクロック配線と、メインクロック配線に接続され、斜め配線を個別に駆動する複数のサブドライバとを備える。

【0041】この構成により、遅延を低減し、スキューを小さくすることができる。また、プロセスのばらつきにも強い。

【0042】第5の目的を達成するために、本発明の半導体集積回路装置は、(i)回路端部に位置し、比較的低周波の基本クロック（グローバルクロック）を供給するメインPLLと、(ii)メインPLLから延びる基本クロック配線と、(iii)各々が、基本クロック配線に接続されるクロックドライバセルと、斜め配線で構成されるクロックツリーとを備える複数のランダムブロックとを備え、各クロックドライバセルは、比較的低周波の基本クロックを高周波のクロックに変換し、関連のクロックツリーを介してランダムブロック内部に高周波クロックを供給する。

【0043】基本クロック配線は、回路を横切って基準直交座標軸方向に延びる。あるいはまた、回路の端部から、基準直交座標軸に対して直交しない角度を成して斜め方向に延びる線であってもよい。

【0044】別の構成例として、半導体集積回路装置は、(i)回路端部に位置し、比較的低周波の基本クロックを供給するメインPLLと、(ii)メインPLLから延びる基本クロック配線と、(iii)各々が基本クロック配線に接続されるクロックドライバセルを有する複数のランダムブロックと、を備え、各ランダムブロックは、ブロック上に張り巡らされた斜め配線で構成されるクロックメッシュを備える。各クロックドライバセルは、前記比較的低周波の基本クロックを高周波のクロックに変換し、関連のクロックメッシュを介してランダムブロック内部に高周波クロックを供給する。

【0045】第6の目的を達成するために、本発明の半導体製造方法は、半導体基板上に所定の方向に延びる第1の配線を形成するステップと、第1の配線層上に層間絶縁膜を形成するステップと、層間絶縁膜を貫通し、前記第1の配線と接続する接続用導電部を形成するステップと、第1配線に対して直交しない角度を成して延び、その終端部が前記第1配線の終端部の上部に重なる位置で前記接続用導電部を介して前記第1配線と接続される第2配線を形成するステップとを含む。

【0046】上記の半導体集積回路用マスクパターンの自動設計方法を実現するためのプログラムは、コンピュ

ータ読み取り可能な記録媒体に保存し、この記録媒体を自動設計装置によって読み込ませることにより、この記録媒体を自動設計装置によって読み込ませることにより、本発明の自動設計方法を実行することができる。すなわち、本発明の第7の目的を達成するために、本発明の記録媒体は、第1の線幅で所定方向に延びる第1ラインと、第2の線幅で前記第1ラインに対して直交しない角度で斜めに延びる第2ラインとを生成させるステップと、前記第1ラインの終端と第2ラインの終端とが重なり合う重複領域を検出し、この重複領域において第1ラインの長手方向の中心線と第2ラインの長手方向の中心線との交点を検出させるステップと、検出した重複領域の形状に応じて接続パターンを読み出し、読み出した接続パターンを前記交点に設定させるステップとを少なくとも含むレイアウトパターンの自動設計プログラムを記録する。ここで、「記録媒体」とは、例えばコンピュータの外部のメモリ装置、半導体メモリ、磁気ディスク、光ディスク、光磁気ディスク、磁気テープなどのプログラムを記録可能な媒体を意味する。具体的には、フロッピーディスク、CD-ROM、MOディスク、カセットテープ、オープンリールテープなどが「記録媒体」に含まれる。記録媒体に上述したプログラムを格納することによって、自動設計装置は生成するラインに最も適した接続パターンを読み出して、ラインが交差する終端部に設定し、レイアウトパターンの自動設計を行うことが可能になる。

【0047】本発明のその他の特徴、効果は、以下に述べる実施の形態によって、より明確になるものである。

【0048】

【発明の実施の形態】＜第1実施形態＞図1は、第1実施形態に係る自動設計方法によってCAD上に作成された配線レイアウトを示す平面図である。まず、水平方向に延びる最小線幅の水平配線11を生成する。次いで、水平配線11の $\sqrt{2}$ 倍の線幅を有し、水平配線11に対して直交しない角度（本実施形態においては 45° の角度）で斜め方向に延びる斜め配線13を生成する。なお、すでに定義したように、図1と対称な角度、すなわち水平配線11に対して 135° の角度で斜め方向に延びる斜め配線13であってもよいことはもちろんである。

【0049】斜め配線13の終端部は、水平配線11の終端部に重なり合い、重複領域を形成する。この重複領域において、水平配線11の長手方向の中心線12と斜め配線13の長手方向の中心線14との交点18に、水平配線11と斜め配線13とを接続する接続パターン15Aを設定する。この接続パターンは通常パイアと呼ばれ、実際の半導体集積回路装置のパイアホールに対応する。

【0050】接続パターン15Aの最も内側のクロスマーク入りの正方形が、カットパターン17である。カットパターンは、実際の半導体集積回路装置で、水平配線

11と斜め配線13とを接続するために、ドーパド・ポリシリコン、タングステン(W)、モリブデン(Mo)、チタン(Ti)またはこれらのシリサイド(WSi_2 、 $MoSi_2$ 、 $TiSi_2$)等の接続用導電部材が埋めこまれるパイアホールのカットを表わす。以下、レイアウト上のカットパターンを単に「カット」と称する。

【0051】図1に示したパターンの自動設計方法の第1の特徴は、配線の終端部において、水平配線11と斜め配線13とが十分に重なり合っており、かつ、配線の輪郭からはみ出す突起が非常に小さいことである。図1の例では、水平配線11による突起はゼロであり、斜め配線13による突起は、わずかな三角形の領域16だけである。配線の輪郭からはみ出る部分がこのように小さいので、隣接する配線間の結合容量の増加や、対基板容量に対する悪影響がほとんどない。さらに、斜め配線層での配線リソースの無駄もない。

【0052】この自動設計方法によれば、レイアウト上で突起6を削除する必要がない。レイアウト上で配線の一部領域を削除しようとする、CADの配線プログラムが複雑になり、データ量も増加する。したがって、削除を必要としない図1に示すパターンの自動設計方法は、プログラム上、非常に有効である。

【0053】図1に示したパターンの自動設計方法の第2の特徴は、接続パターン15Aの形状を矩形のみで形成できることである。このように同一マスク上で直交ラインのみを使う作図は、平行四辺形やひし形など、直角以外の斜め線を組み合わせて使用する場合に比べて、データ量が非常に少なく済む。

【0054】この正方形の接続パターン15Aの構成を、図2を参照して説明する。図2(a)は、説明の便宜上、水平配線11と斜め配線13を分解して示す平面図であり、図2(b)および2(c)は、EDA(配置配線ツール)での接続パターン15Aの形状を定義する上面図と断面図である。図2(c)に最もよく示されるように、接続パターン15Aは、上部メタル13aと、下部メタル11aと、これらを接続するカット17とを有する。

【0055】上部メタルおよび下部メタルの形状は図2(a)に示す正方形の形状に限らず、長方形であってもよい。また、水平配線11および斜め配線13の各々の長手方向および幅方向の辺に矩形のメタル領域の各辺に沿った(一致した)形状以外にも、配線幅より広くなるようにフリンジを持たせるなどしてもよい。図2

(a)に示されるように、接続パターン15Aの上部メタル13aは、斜め配線13の端部の正方形領域を利用しており、下部メタル11aは、水平配線11の端部の正方形領域を利用している。カット17は、上部メタル13aと下部メタル11aとの重複領域内に設定されている。

【0056】図2(b)は、接続パターン15Aの上面

図である。破線で示す正方形は、下部メタル11aである。このように、上部メタル13a、カット17、下部メタル11aのすべてが最小線幅の正方形だけで構成される接続パターンを、本明細書では標準パイアと呼ぶこととする。

【0057】図2(c)は接続パターン15AのEDAでの断面形状を示す。カット17は、上部メタル13aによって完全に塞がれている。この構成によって、現実のプロセスにおける高温処理工程で、下層のメタルが溶け出るのを防止することができる。

【0058】このように、図1に示すパターンの自動設計方法によれば、余分な削除処理を必要としない。また、接続パターンを正方形のみの組み合わせで生成することができる。これにより、プログラム上でのデータ量が低減される。各層を形成するマスクデータも、直交データのみとなる。結果として、CADの計算量が軽減され、レイアウトの処理速度を改善することができる。また、設計ルールの検証も容易になる。

【0059】また、この自動設計方法によれば、製造される半導体集積回路装置において、下層のメタルの溶融を防止できる。さらに、上層の斜め配線3と下層の水平配線1とが確実に接続される。斜め配線を用いているので、目的の箇所(たとえばフリップフロップ)への信号到達速度を短縮することができる。

【0060】図3および図4は、最小線幅での斜め配線パターンの自動設計方法の別の例を示す。図3(a)において、まず最小線幅の水平配線11を生成する。水平配線11の端部は、従来どおり交点18から $W/2$ だけ引き伸ばして終端する。次いで、水平配線の線幅の $\sqrt{2}$ 倍の線幅を有する斜め配線13を、その端部が水平配線11の端部に充分重なるように、交点18から W だけ引き伸ばして生成する。水平配線11の中心線12と、斜め配線13の中心線14との交点18に、平行四辺形の接続パターン15Bを設定する。

【0061】この場合、斜め配線13によって、かなりの面積の突起16が生じる。配線終端部でのこのような突起は、配線リソースの無駄になるとともに、隣接する配線間の結合容量に影響する可能性がある。そこで、突起16をレイアウト上で削除する。

【0062】図3(b)は、削除後の配線レイアウトである。配線の一部領域を削除する分、CADの配線プログラムのデータ量が増大する。しかし、削除の結果、配線輪郭からはみ出る突起が消去され、配線リソースの無駄がまったくない。隣接する配線間の結合容量の増加もない。また、配線終端部の平行四辺形の領域で、水平配線11と斜め配線13とが完全に重なり合うので、配線同士が確実に接続される。

【0063】図4は、接続パターン15Bの形状をより明確に示す。図4(a)は上面図、図4(b)は断面図である。接続パターン15Bは、斜め配線13の端部で

構成される平行四辺形の上部メタル 13b と、水平配線 1 の端部で構成される正方形の下部メタル 11b と、上部メタル 13b と下部メタル 11b との重複領域内に形成されるカット 17 を含む。

【0064】この形状の接続パターン 15B を CAD で設定するには、あらかじめプログラム上で平行四辺形の接続パターン 15B を生成し、格納しておく必要がある。接続パターン 15B のうち、下部メタル 11b とカット 17 はいずれも正方形であり、レイアウト上での生成が比較的容易である。これに対し、平行四辺形の上部メタル 13b の生成では、計算量が増大する。しかし、いったんこの形状の接続パターンを格納しておく、自動設計方法において配線終端部の処理が容易になる。また、上部メタル 13a がカット 17 を確実に塞ぐので、現実の高温処理で下部メタルの溶融を防止することができる。

【0065】平行四辺形の接続パターンの生成および格納については、平行四辺形そのままの形で定義し、格納してもよいし、実際のプロセス工程に合わせて三角形と矩形に分割して生成、格納してもよい。

【0066】第 1 実施形態では、水平配線 11 を下層配線に、斜め配線 13 を上層配線として説明したが、配線の位置が逆であっても本発明の効果は同様である。また、水平配線 11 が垂直配線であっても、原理は同じである。また、水平配線層と斜め配線層の 2 層に限定されず、3 層以上の自動設計にも好適である。

【0067】＜第 2 実施形態＞第 2 実施形態では、配線幅が大きく異なる斜め配線と基準直交配線とが交差して終端する場合の自動設計方法を説明する。図 5 は、第 2 実施形態に係る自動設計方法で生成された配線の終端レイアウトである。まず水平方向に延びる最小線幅の配線 21 を生成する。次いで、配線 1 に対して直交しない角度、たとえば 45° の角度で斜め方向に延びる幅広の斜め配線 23 を生成する。幅広の斜め配線 23 の終端部は、水平配線 21 の終端部に重なる。さらに、水平配線 21 の終端と、斜め配線 23 の終端とが重なり合う重複領域において、水平配線 21 の長手方向の中心線 22 と斜め配線 23 の長手方向の中心線 24 との交点 28 に接続パターン 25A を設定する。接続パターン 25 内部のクロスマーク入りの正方形が、水平配線 1 と斜め配線 23 とを接続するカット 27 である。

【0068】図 5 において設定される接続パターン 25A は標準パイアであり、第 1 実施形態と関連して図 2 (b) および図 2 (c) に示した接続パターン 15A と同一である。すなわち、斜め配線 23 の端部中央の正方形領域 23a が、接続パターン 25A の上部メタル 23a を構成し、破線で示す水平配線 21 の端部 21a が下部メタル 1a を構成する。

【0069】上述したように、CAD 上では、配線幅にかかわらず、配線の長手方向の中心線が交わる点をもつ

て配線の交点とみなす方法が一般的であり、効率的にデータを扱うことができる。したがって、斜め配線 23 をこれ以上上方に動かすと、重複領域内に交点が存在しなくなり、接続パターンを設定することができない。この点で、図 5 に示す終端レイアウトの自動設計方法において、配線輪郭に多少の凹凸が生じるのはやむをえない。この程度の凹凸は、斜め配線 23 の配線幅からみて許容範囲内であり、無理に削除する必要はない。

【0070】このように削除処理が不要になるため、第 1 実施形態と同様に、プログラムのデータ量の増加を抑制することができる。また、各層のパターンが直交ラインでのみ形成されるので、各マスクのデータ量が低減される。結果として、CAD の計算量が軽減され、設計ルールの検証が容易になる。

【0071】図 6 は、異なる配線幅の交差終端部の一部を削除する例を示す。図 6 において、水平配線 21 と斜め配線 23 とを生成した後、斜線で示す不要な突起部分 26 を削除する。削除の結果、この終端レイアウト方法で用いられる接続パターンの形状を平行四辺形とするのが適切になる。すなわち、斜め配線 23 の端部の平行四辺形の領域を利用して上部メタル 23b とし、水平配線 21 の端部を利用して正方形の下部メタル 21b とし、上部メタル 23b と下部メタル 21a との重複領域内に正方形のカット 27 を形成する。

【0072】斜め配線 23 の一部領域をレイアウト上で削除する分、データ量は増える。しかし、削除の結果、配線輪郭が簡易化される。また、水平配線 21 と斜め配線 23 とが、接続パターン 25B によって確実に接続される。

【0073】第 2 実施形態においても、基準直交配線と斜め配線との上下関係、および配線層の数は、上述した例に限定されない。

【0074】＜第 3 実施形態＞第 3 実施形態では、基準直交線と斜め配線の双方が標準線幅よりも幅広である場合の配線終端レイアウトの自動設計方法を示す。

【0075】図 7 は、幅広の配線同士が交わる終端レイアウトを示す図である。図 7 (a) は CAD 上のレイアウト図、図 7 (b) は、上層の斜め配線と下層の水平配線の分解図である。

【0076】図 7 (a) において、幅広の線幅を有し、水平方向に延びる水平配線 31 を生成する。次いで、幅広の線幅を有し、水平配線 31 に対して直交しない角度、たとえば 45° の角度で斜め方向に延び、その終端部が前記第 1 配線 31 の終端部に重なる斜め配線 33 を生成する。水平配線 31 の終端と、斜め配線 33 の終端とが重なり合う重複領域に、複数の接続パターン 35 を設定する。このとき、複数の接続パターン 35 の 1 つは、必ず水平配線 31 の長手方向の中心線 32 と、斜め配線 33 の長手方向の中心線 34 との交点 38 に設定する。

【0077】図7の例では、水平配線31と斜め配線33との重複領域に、4個の標準バイア35が設定されている。図7(b)に示すように、各々の接続パターン35は、斜め配線33端部の一部である正方形領域を上部メタル33aとし、水平配線31の端部の一部である正方形領域を下部メタル31aとし、それらの間に正方形のカット37を有する。

【0078】この自動設計方法によれば、配線輪郭からはみ出る突起部がほとんどなく、削除などの後処理を必要としない。また、水平配線31と斜め配線33との重複領域内に、データ上最も生成が容易な標準バイアを複数個配置することによって、上部の斜め配線33と、下部の水平配線31とを確実に接続することができる。

【0079】＜第4実施形態＞第4実施形態では、複数の個別標準バイアに代えて、ひとつの集合接続パターンを生成する例を示す。この集合接続パターンは、CADが一定の規則に則ってバイアホール等を自動生成したものである。図8は、幅広の水平配線41と、幅広の斜め配線43との重複領域に、ひとつの集合接続パターンを生成した一例を示す。図8(a)は、CAD上のレイアウト、図8(b)は、図8(a)のレイアウトから上層の斜め配線の端部だけを取り出した図、図8(c)は、下層の水平配線の端部だけを取り出した図である。

【0080】図8に示した配線終端レイアウトの自動設計方法では、まず幅広の水平配線41を生成する。次いで水平配線41と直交しない角度、たとえば45°の角度を成して斜めに延びる幅広の斜め配線43を生成する。水平配線41と斜め配線43との重複領域に集合接続パターン45Aを設定する。

【0081】図8(b)および8(c)に示すように、集合接続パターン45Aは、水平配線41の端部の正方形領域で構成される下部メタル41aと、斜め配線43の端部の長方形領域で構成される上部メタル43aと、上部メタル43aと下部メタル41aとを接続する複数のカット47とを含む。複数のカット47のひとつは必ず、水平配線41の中心線42と、斜め配線43の中心線44との交点48に位置する。その他のカット47は、好ましくは直交系配線グリッドの格子ポイントに位置する。

【0082】図8の例では、上部メタル43aが下部メタル41aに対して45°回転した長方形であるが、いづれも直交ラインのみで生成できるので、データ量が少なく済む。また、このレイアウト方法では、配線輪郭からはみ出る突起がほとんどなく、レイアウト上での削除処理がまったく必要ない。

【0083】集合接続パターン35Aにおいては、図8(b)および8(c)に示すように、45°の回転配置によって、カットを打ち込むことのできないオーバーハング領域が上部メタル43aにも下部メタル41aにも生じる。しかし、重複領域内に設計ルールの許す最大数

のカットを打ち込むことにより、図7の例に比べ、抵抗が減るという効果を有する。

【0084】図9は、第4実施形態の変形例に係る他の構造の集合接続パターンを用いた終端レイアウトを示す。まず、幅広の水平配線41を生成する。次いで、幅広の斜め配線43を、その端部が十分に水平配線41の端部に重なるように生成する。水平配線41と斜め配線43との重複領域に、ひとつの正方形の集合接続パターン45Bを生成する。図9の例では、図8に比べ、水平配線41と斜め配線43との重複領域がずっと広くとれる。ただし、その分、配線輪郭からはみ出る突起46(図9(a))も大きくなる。

【0085】図9(b)および9(c)に示すように、集合接続パターン45Bは、斜め配線43の端部の正方形領域で構成する正方形の上部メタル43bと、水平配線41の端部の正方形領域で構成する正方形の下部メタル41bと、上部メタル43bと下部メタル41bとを接続する複数のカット47とを含む。カットは、重複領域内の交点48を含む複数の格子ポイントに配置される。

【0086】図8の例に比較して、カットの数を多く取ることができ、抵抗をさらに低減することができる。配線輪郭からはみ出る突起46が生じる分、集積度的には若干損失があるものの、この自動設計方法はCAD上で最も扱い易い正方形の接続パターンを生成できる点で優れている。

【0087】＜第5実施形態＞図10は、さらに他の構造の集合接続パターンを用いた終端レイアウトを示す。図10に示す第5実施形態では、幅広の水平配線51を生成し、幅広の斜め配線53をその端部が水平配線51の端部に充分重なるように生成し、水平配線51の中心線42と斜め配線53の中心線54との交点を含む重複領域に、平行四辺形の集合接続パターン55を生成する。

【0088】図10の例では、水平配線51と斜め配線53の双方に、斜線で示す不要な突起56が、かなりの面積で生じる。このような突起56は、配線リソースや結合容量に悪影響を及ぼす可能性があるため、レイアウト上で削除する。削除の結果、水平配線51と斜め配線53と終端部が平行四辺形の重複領域となる。この重複領域に集合接続パターン55を生成する。集合接続パターン55は、水平配線51の中心線52と、斜め配線53の中心線54とが交差する交点58を含む複数箇所にカット57を有する。カット57は、好ましくは、平行四辺形の重複領域内の基準直交系のすべての格子ポイントに設定する。

【0089】第5実施形態による終端レイアウト方法によれば、削除処理を含む分、配線プログラムが複雑になるが、配線形状がすっきりし、結合容量などへの悪影響もない。平行四辺形の形状を有する接続パターン55

は、あらかじめプログラム上で作成しておく必要があるが、第4実施形態に比べ、重複面積もカット数も増える。結果として、抵抗が低減され、かつ確実に水平配線51と斜め配線53とが接続される。

【0090】<第6実施形態>第1実施例～第5実施例までは、水平配線と斜め配線とが異なる層にある場合の交差終端レイアウトの自動設計方法を示してきた。第6実施形態では、同じ層にある水平配線と斜め配線とを接合する場合の終端レイアウトの自動設計方法を示す。

【0091】図11(a)において、最小線幅Wの水平配線61を生成し、線幅が $\sqrt{2}W$ の最小線幅の斜め配線63を生成する。CADは水平配線61の中心線62と、斜め配線63の中心線64の交点68を認識して、2つの配線が交わると認識する。この場合、レイアウト上で、同じ層の2つの配線が交点68で単に交わるだけでなく、接合されることを示す必要がある。そこで、水平配線61と斜め配線63の重複領域に平面用の接続パターン65Aを設定する。この同層の配線を接合する接続パターンをターンバイアと呼ぶ。

【0092】図11(b)に示すように、水平配線61の線幅がWであり、斜め配線63の線幅が $\sqrt{2}W$ なので、水平配線61の端部の正方形領域61aは、斜め配線63の端部の正方形領域63aに完全に含まれる。すなわち、2つの正方形だけでレイアウト上にターンバイア65Aを生成することができる。この結果、同層の斜め配線と基準直交配線とを終端部で接続する場合の設計方法が容易になる。

【0093】図12は、同じ層で、同じ線幅の2つの配線がそれぞれの終端部で接合される場合の自動設計方法を示す。

【0094】図12(a)において、線幅が $\sqrt{2}W$ の水平配線67を生成し、同じく線幅が $\sqrt{2}W$ の斜め配線63とを生成する。水平配線67の中心線69と、斜め配線63の中心線64との交点68を含む重複領域に、ターンバイア65Bを設定する。この場合、ターン接続パターン65Bは、互いに45°回転した同サイズの2つの正方形で形成される。ターンバイア65Bを配線の接合部に設定することによって、CADは2つの配線が同層で接続されることを認識する。ターンバイア65Bは直交するラインのみで生成されるので、データ量が少なく、終端レイアウトが容易になる。

【0095】<第7実施形態>第7実施形態では、上述した自動設計方法によるレイアウトに基づいて製造したマスクを用いて、斜め配線構造を半導体基板上に形成する例を示す。

【0096】図13は、半導体基板上に設けられた半導体集積回路の一部（以下において、「セル」という。）70の概略平面図である。セル70のトランジスタ領域72に、斜め配線73と基準直交配線（水平配線71を含む）とが混在する斜め配線構造が模式的に示されてお

り、詳細な配線構造等は省略されている。

【0097】この斜め配線構造を作成するためには、前述した配線パターンの自動設計方法によって生成されたマスクパターンの設計データを、光露光装置、電子ビーム露光装置、X線露光装置等のパターンジェネレータの計算機に入力し、この設計データを用いて所定の露光用マスク（レチクル）を描画すればよい。レチクルは、工程や半導体集積回路の内容に応じて10枚ないし数10枚、もしくはそれ以上作成される。図14は、このような複数枚のレチクルセットの一部から3枚のレチクルを取り出し、露光用マスクセット75として示す。便宜上、各マスクのマスクパターンの一部のみを示す。

【0098】図14に示したマスクセット75は、第1マスク75A、第2マスク75B、および第3マスク75Cを含む。第1マスク75Aは、石英ガラス等のマスク基板上に、水平方向に延びる水平配線パターン（第1層配線）76Aとなる不透明パターン（遮光領域）76Aが、クロム（Cr）膜等により形成されている。第2マスク75Bは、不透明領域中にバイアホールのカットパターンとなる開口部76Bを有する。第3マスク75Cは、水平配線パターンと45°または135°の角度をなして斜め方向に延びる斜め配線パターン76Cからなる不透明パターンを有する。第1、第2、第3のマスクを重ねた場合に、斜め配線パターン76Cの終端部と、カットパターン76Bの位置と、水平配線パターン71Aの終端部とが重なり合うように設計データが構成されている。

【0099】図14に示すマスクセット75を含む一連のマスクセット（レチクルセット）を用いて、図13に示すような斜め配線構造を実現することができる。トランジスタ部や他の配線構造の形成のために、さらに他のマスクセットが必要であることは言うまでもないが、これらのマスクセットについては説明を省略する。

【0100】図15は、このような斜め配線構造を有する半導体集積回路装置の一部を模式的に示す断面図である。斜め配線構造80は、Si基板90上の第1層間絶縁膜91の上に、水平方向または垂直方向に延びる基準直交配線81と、基準直交配線81の上部に位置する第2層間絶縁膜94と、第2層間絶縁膜94の上部に位置し、基準直交配線81と45°または135°の角度を成して斜め方向に伸びる斜め配線からなる斜め配線層83と、基準直交配線81と斜め配線83とを接続すべく、絶縁層82を貫通して形成されたバイアホール85と、バイアホールに埋めこまれた接続用導電部材とを含む。この接続用導電部材の水平断面形状は、水平断面を構成する各辺が、基準直交配線81と上部の斜め配線83のうち線幅の狭い方の配線（本実施形態では、基準直交配線81）の配線方向と線幅方向に沿った矩形形状をしている。斜め配線層83の上にはパッシベーション膜または第3層間絶縁膜99が形成されている。

【0101】パイアホール85と接続用導電部材とで、接続用導電部を形成する。接続用導電部は、少なくとも、基準直交配線81の長手方向の中心線と斜め配線83の長手方向の中心線との交点を含む1以上の位置に形成され得る。

【0102】なお、ここで第1、第2層間絶縁膜と称しているのは説明の便宜であり、実際はこの下にさらに別の層間絶縁膜や下層の金属配線膜が含まれてもかまわない。

【0103】図16は、図14に示すマスクセット75を用いて、図15の斜め配線構造80を形成する工程を示す図である。

【0104】(イ) まず、図16(a)に示すように、酸化膜(SiO_2)等の層間絶縁膜91に覆われたSi基板90上に、Al合金等の第1層金属膜92をスパッタリングや真空蒸着により堆積する。さらにポジ型レジスト93をスピコートし、第1金属膜92を覆う。

【0105】(ロ) 次に、このSi基板90を、ステッパ等の露光装置の露光ステージに配置し、水平配線パターンを有するレチクル(第1マスク)75Aを用いて、ポジ型レジスト93を露光し、現像する。この結果、図16(b)に示すように、水平配線パターン部分のレジストが残る。

【0106】(ハ) この状態のフォトリソのパターンをマスクとして用いて、第1層金属膜92を反応性イオンエッチング(RIE)等によりエッチングし、その後、レジストを除去する。これにより、図16(c)に示すように水平配線81が形成される。

【0107】(ニ) 次に、水平配線81の上に、酸化膜、PSG、BPSG等の第2層間絶縁膜をCVD法等により堆積する。そして図16(d)に示すように、第2層間絶縁膜94を、ポジ型レジスト95で覆う。ポジ型レジストの代わりにネガ型レジスト95を用いる場合には、図14(b)に示す第2マスク75Bは白黒を反転したマスクになることはもちろんである。

【0108】(ホ) 再び、露光装置の露光ステージにSi基板90を導入し、第2マスク75Bを用いてカットパターンを露光、現像する。図16(e)に示すように、カットの開孔パターンに対応するレジストだけが除去されたフォトリソのパターンができる。カットの開孔パターンの形状は、開孔パターンを構成する各辺が、水平配線パターンと斜め配線パターンのうち線幅の狭い方の配線パターンの長手方向と幅方向に沿った矩形形状である。このフォトリソをマスクとして、RIE等のエッチングにより、第2層間絶縁膜94にパイアホール96が形成される。

【0109】(ヘ) その後、ポジ型レジスト95を除去し、図16(f)に示すように、CVD法、スパッタリング法、真空蒸着法などを用いて、パイアホール96の内部にタングステン(W)等の接続用導電部材を埋め込

む。その後、化学機械研磨(CMP)法等を用いて表面を平坦化する。

【0110】(ト) 図16(g)に示すように、第2層間絶縁膜94および接続用導電部材の上に、Al合金等の第2層金属膜97をスパッタリングや真空蒸着で形成する。さらにその上に、ポジ型レジスト98をスピコートする。

【0111】(チ) ステッパで第3マスク75Cを用いて斜め配線パターンを露光、現像する。その結果、斜め配線パターンに対応する部分のレジストが残る。この状態で第2金属膜97をRIEでエッチングして、図16(h)に示すように、斜め配線構造80が形成される。この後、さらに酸化膜、PSG、BPSG、窒化膜(Si_3N_4)またはポリイミド膜等のパッシベーション膜(または第3層間絶縁膜)を斜め配線構造80の上に、CVD法などにより堆積する。

【0112】なお、上記においては、第1層金属膜81と第2層金属膜97とを接続用導電部材で接続する例を示したが、第2層金属膜とその上の第3層金属膜、さらには第3層金属膜とその上の第4層金属膜等の他層の金属膜間の接続をしてもよいことはもちろんである。さらに、すでに述べたように、第1金属膜81の下層の金属膜があってもよく、これらの下層の金属膜との接続も可能なことはもちろんである。

【0113】また、露光用マスクセット75を用いる半導体集積回路装置の製造方法を説明したが、露光用マスクセット75を用いずに、前述した設計データで直接描画(DSW)装置を駆動し、半導体ウエハ上に直接描画する方法を用いてもかまわない。

【0114】また、第1金属膜81と第2金属膜97との少なくとも一方が銅(Cu)のダマスカス配線等、Al合金以外の配線であってもよいことは、本発明の趣旨から容易に理解できるものである。

【0115】<第8実施形態>図17は、斜め配線によって構成されるクロックツリーを有する半導体集積回路100の図である。

【0116】半導体集積回路100は、半導体チップのコーナーに位置するPLL(フェイズ・ロックド・ループ: Phase Locked Loop)110と、PLL110からチップ中央に向けて基準直交座標軸に対して45°の角度を成して斜め方向に延び、チップ中央で終端するメインクロック配線101と、メインクロック配線の終端Cから基準直交座標軸と45°および135°の角度を成して斜め方向に向け左右対称に分岐するクロックツリー配線とを備える。図17において、太字で示す数字1~5は、クロックツリーの分岐階層を示す。

【0117】具体的には、メインクロック配線101の終端Cから、メインクロック配線101と直交する方向に、第2分岐階層の斜め配線102が左右対称に延びる。斜め配線102の両端から、斜め配線102に直交

する方向に、第3分岐階層の斜め配線103aおよび103bが、メインクロック配線101の終端Cに関して左右対称に延びる。斜め配線103a、103bの両端からさらに、第4分岐階層の斜め配線104a~104dが、メインクロック配線101に関して左右対称に延びる。以下、分岐階層が進むごとに、メインクロック配線に関して左右対称に分岐が延びていく。

【0118】このような分岐構造を採用する結果、斜め配線で構成され、半導体チップ中央Cに対して左右対称なツリーがはりめぐらされる。図示はしないが、この斜め配線だけを用いたクロックツリーの下層では、直接セルと接続される基準直交配線が形成され、クロックツリーを構成する斜め配線の端部は、上述した終端レイアウトの自動設計方法に基づき、下層の基準直交配線とパイアホールを介して接続される。

【0119】斜め配線のみを用いたクロックツリーにおいて、原則として、同じ分岐階層の配線は、必ず同一の層に属する。したがって、第4分岐階層にある4本の斜め配線104a~104bは、すべて同一の層に属する。分岐階層が異なるが、同一方向に延びる配線同士は、同一の層に属してもよいし、別の層であってもよい。図17の例では、第3分岐階層の斜め配線103と、同方向に延びる第5分岐階層の斜め配線105とは、同層に形成することも、異層に形成することも可能である。

【0120】このような斜め配線を用いる最大の効果は、負荷容量等の設計上のバランス計算が容易になる点にある。また、プロセス変動に伴うクロックディレイのバラツキも小さく抑えることができる。さらに、同じ分岐階層を同じ層に配し、左右対称とすることによって、配線層によるばらつきを排除し、分岐ごとに負荷容量のバランスをとりつつ、2点間におけるクロックの遅延を短縮することが可能になる。

【0121】なお、図示はしていないが、分岐階層が進むにつれて、エルモアの配線遅延計算式に基づいて配線幅を狭くする。

【0122】このような構成により、負荷容量を押さえ、より高速に、かつばらつきの少ない高性能の半導体集積回路を実現することが可能になる。

【0123】＜第9実施形態＞図18は、第8実施形態で説明したクロックツリーをさらに大規模な半導体集積回路に適用する例を示す。半導体集積回路200は、回路端部に位置し、比較的低周波（数百MHz）のグローバルクロックを供給するメインPLL210と、メインPLL210から延びるグローバルクロック配線212と、複数のランダムブロック230A、230Bとを備える。各ランダムブロック230は、グローバルクロック配線212に接続されるクロックドライバセル（第8実施形態ではDLL（ディレイ・ロックド・ループ：Delay-locked Loop）220と、斜め配線で構成されるク

ロックツリーとを備える。

【0124】メインPLL210は、このPLL210を搭載する半導体集積回路装置以外の集積回路装置とのクロックの位相を調整する。このPLL210から、チップを横断する基本クロックであるグローバルクロックが、チップ内部の回路ブロックまたはランダムブロック（複数の論理回路モジュールから成る、設計者等により分割作成された部分的な回路の集合）へ供給される。各ランダムブロックに設けられたDLL220は、比較的低周波のグローバルクロックを高周波（数GHz）のローカルクロックに変換し、関連のクロックツリーを介してランダムブロック内部に高周波クロックを供給する。

【0125】第9実施形態においても、図示はしないが、各ブロック230のクロックツリーは、下層の基準直交配線とパイアホールを介して接続されている。すなわち、クロックツリーを構成する斜め配線の終端部は、上述した自動設計方法によって生成された配線レイアウトに基づいて、基準直交配線の終端部と確実に接続されている。

【0126】LSIの微細化が進むにつれて、配線の抵抗及び容量が遅延に対して大きな影響を及ぼすことは説明したとおりであるが、従来のチップの一括の同期設計（すなわち単一のクロック設計）では、たとえば10mm四方のチップを一括して同期させるためには、数百MHzの速度が限度となる。これ以上の設計をしたいならば、クロック配線の厚さを、標準の信号線の数十倍~数百倍にする必要がある。これはプロセス的に製造が難しいうえに、CAD上で扱うこと自体が困難である。

【0127】そこで、第9実施形態のように、グローバルクロックを比較的低い周波数で送り、ローカルの各ブロック230で高周波で同期させて動作させることにより、従来のチップサイズで、より高速の動作が実現できる。また、クロックツリーを左右対称の斜め配線だけで構成しているので、遅延が少ない。

【0128】また、図18の構成では、グローバルクロック配線212の両側に各ランダムブロック230が配置されているので、各ランダムブロック230のDLLを回路の端部に配置することができ、電圧供給が容易になる。

【0129】図19は、図18に示す半導体集積回路の変形例を示す。半導体集積回路300は、PLL310を回路のコーナーに配置し、グローバルクロックを供給するグローバルクロック配線312を斜めに走らせている。通常、グローバルなクロックを供給するグローバルクロック配線312には遅延が付きやすい。この部分の遅延を解消し、各ランダムブロック330にほぼ同時に、かつ迅速にグローバルクロックを供給するために、グローバルクロック配線312を斜めにチップ中央まで走らせ、各ランダムブロックのDLL320を中央部にかためて配置した。DLL320へは、専用の領域パッ

ド（図示はしないがチップ上面に設けてある）から電源を供給する。

【0130】グローバルクロック配線312を斜め配線にしたことにより、グローバルクロックの周波数自体を上げることができ、いっそう高速の動作が可能になる。

【0131】＜第10実施形態＞図20は、斜め配線を用いたクロックメッシュを有する半導体集積回路の例を示す。半導体集積回路400は、チップのコーナーに配置されるPLL410と、斜め配線を用いて構成され、チップのほぼ全域に渡ってはりめぐらされるクロックメ

ッシュ420とを備える。

【0132】一般に、メッシュ構造のクロック供給線はプロセスばらつきに強く、全体的に遅延によるばらつきを低減することができる。第10実施形態では、斜め配線を用いたクロックメッシュなので、従来の水平および垂直方向の基準直交配線を用いたメッシュに比べ、さらにクロックの遅延短縮効果がある。

【0133】図示はしないが、斜め配線によるクロックメッシュの下層には、直接セルと接続される基準直交配線層が設けられている。クロックメッシュを構成する斜め配線と下層の基準直交配線とは、上述の自動設計方法によって生成された終端レイアウトに基づき、パイアホールを介して接続される。

【0134】＜第11実施形態＞図21は、図20に示すクロックメッシュをさらに大規模な半導体集積回路に適用した例を示す。半導体集積回路500は、回路端部に位置し、比較的低周波（数百MHz）のグローバルクロックを供給するメインPLL510と、メインPLL510から延びるグローバルクロック配線512と、複数のランダムブロック530A、530Bとを備える。各ランダムブロック530は、グローバルクロック配線512に接続されるクロックドライバセル（第11実施形態ではDLL）520と、斜め配線で構成されるクロックメッシュ540とを備える。各DLL520は、比較的低周波のグローバルクロックを高周波（数GHz）のローカルクロックに変換し、関連のクロックメッシュ540を介してランダムブロック内部に高周波クロックを供給する。

【0135】図示はしないが、各ランダムブロック530内部では、クロックメッシュ540の下層に、セルと接続される基準直交配線が設けられ、上述した自動設計方法によって生成される終端レイアウトに基づき、所定位置のパイアホールを介して接続される。

【0136】各ブロック530では、DLL520のより、送られてきたグローバルクロックを高周波で同期させ、遅延のばらつきのほとんどない斜め配線のクロックメッシュを介して各サイトへ信号を供給する。したがって、装置の高速動作が実現できる。

【0137】図21において、垂直に走るグローバルクロック供給配線512を、図19に示すようにチップを

横切って斜めに走らせてもよい。この場合は、グローバルクロックの周波数自体を上げることができ、いっそう高速の動作が可能になる。

【0138】＜第12実施形態＞図22は、クロックメッシュ構造を用いた半導体集積回路の更に別の例を示す。半導体集積回路600は、チップのコーナーに配置され、比較的駆動力の大きいルートドライバ610と、ルートドライバ610からチップを横切って斜めに延びるメインクロック供給配線612と、チップ全体にわたってはりめぐらされたクロックメッシュ630と、メインクロック供給配線612に接続され、クロックメッシュを構成する斜め配線を駆動する複数のサブドライバ620を有する。

【0139】この構成によれば、複数のサブドライバによって各々の斜め配線を駆動するので、遅延が小さく、論理LSIにおいて一番問題となるクロック信号のスキューを小さくすることができる。また、製造上のばらつきも小さい。

【0140】＜第13実施形態＞図23は、クロックメッシュ構造を用いた半導体集積回路のさらに別の例を示す。半導体集積回路700は、チップの端部に配置され、比較的駆動力の大きいルートドライバ710と、ルートドライバ710からチップ周辺に沿って延びるメインクロック供給配線712と、チップ全体にわたってはりめぐらされるクロックメッシュ730と、メインクロック供給配線712に接続され、クロックメッシュを構成する斜め配線を駆動する複数のサブドライバ720を有する。

【0141】半導体集積回路700の特徴は、サブドライバ720をチップ周辺部に配置した点にある。図22の例ではノイズ源になり得るサブドライバ620をチップ中央部に配置したが、第13実施形態では、ノイズ源を周囲に配置したので、電圧ドロップが起こりにくいという効果がある。電圧ドロップが起きると、チップ中央部と周辺部とでパフォーマンスに差がでるので、図23の構成は、均一なパフォーマンスを達成できる点でも優れている。

【0142】＜第14実施形態＞図24は、本発明の自動設計方法を実行する自動設計装置の概略構成図である。自動設計装置1000は、自動設計プログラムを格納するプログラム記憶部1003と、レイアウトデータを格納するデータ記憶部1005と、自動設計処理を制御する処理制御部1007と、自動設計したレイアウトを表示するレイアウト表示部1009と、パターン図などを入力する入力装置1011と、自動設計により生成したレイアウトを出力する出力装置1013とを備える。

【0143】処理制御部1007は、デザインルールや電氣的ルールをチェックするルールチェッカ1021と、レイアウトデータの伝達経路や迂回経路を自動選択

する自動ルーティング 1023 と、作成図を編集する図面エディタ 1025 とを有する。

【0144】データ記憶部 1005 は、すでに作成済みの回路図や、種々のライン、種々の形状の接続パターンを格納する。

【0145】プログラム記憶部 1003 は、2次元平面上の配線レイアウトを行い、異層間あるいは同層間の配線を接続する接続パターンを所望の位置に設定することによってレイアウトパターンを自動設計するためのプログラムを格納する。このプログラムは、磁気ディスク、光ディスク、光磁気ディスク、磁気テープなど（具体的には、フロッピーディスク、CD-ROM、MO ディスク、カセットテープなど）にいったん格納し、その後プログラム記憶部 1005 に格納するようにしてもよい。上記の自動設計プログラムは、第 1 の線幅で所定方向に延びる第 1 ラインと、第 2 の線幅で前記第 1 ラインに対して直交しない角度で斜めに延びる第 2 ラインとを処理制御部 1007 に生成させるステップと、前記第 1 ラインの終端と第 2 ラインの終端とが重なり合う重複領域を検出させ、第 1 ラインの長手方向の中心線と第 2 ラインの長手方向の中心線との交点を検出させるステップと、検出した重複領域の形状に応じてデータ記憶部 1005 から接続パターンを読み出し、読み出した接続パターンを交点に設定させるステップを少なくとも含む。

【0146】図 25 は、プログラム記憶部 1005 に格納されたプログラムに基づいて処理制御部 1007 を動作させることにより実行されるライン終端処理のフローチャートである。

【0147】処理制御部 1007 において、まずステップ S2001 で、図 24 の入力装置 1011 を介して入力された情報に基づき、第 1 ラインおよび第 2 ラインを生成する。第 1 ラインはたとえば基準直交座標軸に沿って延びるラインであり、第 2 ラインは、第 1 ラインと直交しない角度で斜め方向に延びるラインである。ステップ S2003 で、処理制御部 1007 は、第 1 ラインおよび第 2 ラインの終端部が重なり合う重複領域を検出し、さらにステップ 2005 で、重複領域内での第 1 ラインおよび第 2 ラインの交点を検出する。

【0148】ステップ S2007 で、入力装置 1011 から入力された情報に基づき、第 1 ラインと第 2 ラインとが、異なる層のラインかどうかを判断する。異なる層のラインではない場合（すなわち、同じ層に形成されるラインである場合）は、ステップ S2009 に進み、重複領域の交点にターン V I A を設定する。これにより、レイアウト上で、第 1 ラインと第 2 ラインとが同層で接続されるべきラインであることが示される。ステップ S2007 で、第 1 ラインおよび第 2 ラインが異なる層のラインであると判断された場合は、ステップ S2003 で検出した重複領域の形状に応じた接続パターンを、図 24 に示すデータ記憶部 1005 から読み出し、交点に

設定する。たとえば、検出した重複領域が、最小線幅同士の終端部で形成される矩形領域である場合は、基本パイアを読み出して、交点に設定する。重複領域が、最小線幅同士の終端部で形成される平行四辺形領域である場合は、あらかじめデータ記憶部 1005 に格納してある平行四辺形の接続パターンを読み出して設定する。また、第 1 ラインおよび第 2 ラインが幅広ラインである場合は、その重複領域の形状に応じた集合パイアを読み出して設定することができる。

【0149】単独の矩形形状の基本パイア、あるいは矩形の基本パイアを複数用いた集合パイアは、直交するラインだけを組み合わせた生成した接続パターンなので、データ量が少なく、読み出し、設定時間が短縮される。

【0150】また、図示はしないが、ステップ S2011 で重複領域の形状に応じた接続パターンを設定したあと、はみ出し部分の削除要求があるかないかを判断して、削除要求がある場合に、重複領域からはみ出した部分を削除するステップを組み込んでよい。

【0151】このようなプログラムで処理された斜めラインを含むレイアウトデータは、レイアウト表示部 1009 で確認できる。レイアウトデータは描画装置（パターンジェネレータ）に入力され、描画装置により各層ごとのマスクパターンが形成される。このようにして形成された一定枚数のマスク（レチクル）からなるマスクセットを使用し、ステッパなどの露光装置によるフォトリソグラフィ工程を経て、半導体集積回路が形成されることになる。

【0152】以上、図面を参照して良好な実施形態に基づいて本発明を説明してきたが、本発明は上記の実施形態に限定されず、実施形態相互の組み合わせも必要に応じて可能である。特に、第 1 ～ 第 6 実施形態で述べた種々の設計データを用いた配線構造を、第 7 実施形態で述べた半導体集積回路装置の配線構造に適用することが可能である。

【0153】また、半導体集積回路内におけるランダムブロックの配置や D L L の位置は、周波数変換できる位置であれば任意の場所に設定できる。

【0154】

【発明の効果】以上説明したように、本発明の終端レイアウトの自動設計方法によれば、同層の配線に関しては、ほとんどを直交データで設計できるので、データ量を低減できる。

【0155】また、CAD での計算量を軽減できるとともに、設計ルールの検証が容易になる。

【0156】本発明のマスクセットによれば、各マスク内のパターンのほとんどを直交データで作成することができ、異層間でのパターンの整合性を向上することができる。

【0157】本発明の斜め配線構造を有する半導体集積回路装置によれば、遅延を効果的に低減することができ

る。

【0158】本発明の斜め配線のクロック供給構造を用いた半導体集積回路によれば、クロックの供給に斜め配線を用いているので、プロセスのばらつきや、異層間の容量の相違の影響を受けにくいので、クロック信号のスキューを低減することができる。

【0159】また、本発明の半導体集積回路によれば、一般に比較的低い周波数で駆動されるグローバルクロック自体の周波数を上げることがでる。さらに、各ブロックごとに、低周波を高周波に変換して、斜め配線によるクロック供給網を用いてローカルクロックを供給するので、回路全体としての遅延を大幅に短縮することができる。

【0160】本発明のプログラムを記録した記録媒体を用いることによって、少ないデータ量で、斜めラインの終端処理を効率的に行うことが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る自動設計方法によって生成された最小線幅での斜め配線の終端レイアウトを示す平面図である。

【図2】本発明の第1実施形態に係る自動設計方法を説明するための図であり、図2(a)は斜め配線と水平配線との分解平面図、図2(b)および2(c)はそれぞれ、接続パターンの形状を示す上面図および側面図である。

【図3】本発明の第1実施形態に係る自動設計方法によって生成された最小線幅での斜め配線の終端レイアウトの別の例を示す平面図であり、図3(a)は、不要部分の削除前、図3(b)は不要部分の削除後の図である。

【図4】図3の終端レイアウトに使用される接続パターンの形状を示す図であり、図4(a)は上面図、図4(b)は側面図である。

【図5】本発明の第2実施形態に係る自動設計方法によって生成された異なる線幅での斜め配線の終端レイアウトを示す平面図である。

【図6】本発明の第2実施形態に係る自動設計方法によって生成された異なる線幅での斜め配線の終端レイアウトの別の例を示す平面図である。

【図7】本発明の第3実施形態に係る自動設計方法によって生成された幅広線幅での斜め配線の終端レイアウトを示す平面図であり、図7(a)は斜め配線と水平配線との交差終端部を示す図、図7(b)は斜め配線と水平配線との分解平面図である。

【図8】本発明の第4実施形態に係る自動設計方法によって生成された幅広線幅での斜め配線の終端レイアウトを示す平面図であり、図8(a)は斜め配線と水平配線との交差終端部を示す図、図8(b)および8(c)は、図8(a)のレイアウトで使用する接続パターンの形状を示す分解平面図である。

【図9】本発明の第4実施形態に係る自動設計方法によ

って生成された幅広線幅での斜め配線の終端レイアウトの別の例を示す平面図であり、図9(a)は斜め配線と水平配線との交差終端部を示す図、図9(b)および8(c)は、図9(a)のレイアウトで使用する接続パターンの形状を示す分解平面図である。

【図10】本発明の第5実施形態に係る自動設計方法によって生成された幅広線幅での斜め配線の終端レイアウトを示す平面図であり、図10(a)は斜め配線と水平配線との交差終端部を示す図であり、図10(b)は、図10(a)のレイアウトで使用する接続パターンの形状を示す平面図である。

【図11】本発明の第6実施形態に係る自動設計方法によって生成された同層での斜め配線の終端レイアウトを示す平面図であり、図11(a)は同層にある斜め配線と水平配線との交差終端部を示す図、図11(b)は、斜め配線と水平配線との分解平面図である。

【図12】本発明の第6実施形態に係る自動設計方法によって生成された同層での斜め配線の終端レイアウトの別の例を示す平面図であり、図12(a)は同層の斜め配線と水平配線との交差終端部を示す図、図12(b)は斜め配線と水平配線との分解平面図である。

【図13】本発明の自動設計方法による斜め配線の終端レイアウトに基づいて作成される半導体集積回路装置の一部を示す概略平面図である。

【図14】本発明の自動設計方法によって生成された配線パターンに基づいて製造された、本発明の第7実施形態に係る露光用マスクセットの図である。

【図15】斜め配線構造を有する半導体集積回路装置の一部を模式的に示す断面図である。

【図16】図15に示す斜め配線構造の形成工程を示す図である。

【図17】本発明の第8実施形態に係る斜め配線で構成されたクロックツリーを有する半導体集積回路の平面図である。

【図18】本発明の第9実施形態に係るさらに大規模な半導体集積回路の平面図であり、図17に示す斜め配線のクロックツリーを各ブロックに使用した例を示す図である。

【図19】図18に示す半導体集積回路の別の例を示す平面図である。

【図20】本発明の第10実施形態に係る斜め配線を用いたクロックメッシュを有する半導体集積回路の平面図である。

【図21】本発明の第11実施形態に係るさらに大規模な半導体集積回路の平面図であり、図20に示す斜め配線のクロックメッシュを各ブロックに使用した例を示す図である。

【図22】本発明の第12実施形態に係る斜め配線構造を用いたクロックメッシュを有する半導体集積回路の平面図である。

【図 23】本発明の第 13 実施形態に係る斜め配線構造を用いたクロックメッシュを有する半導体集積回路の平面図である。

【図 24】本発明の自動設計方法を実行する自動設計装置の概略ブロック図である。

【図 25】図 24 に示す自動設計装置を用いて本発明の自動設計方法を実行するプログラムの処理手順を示すフローチャートである。

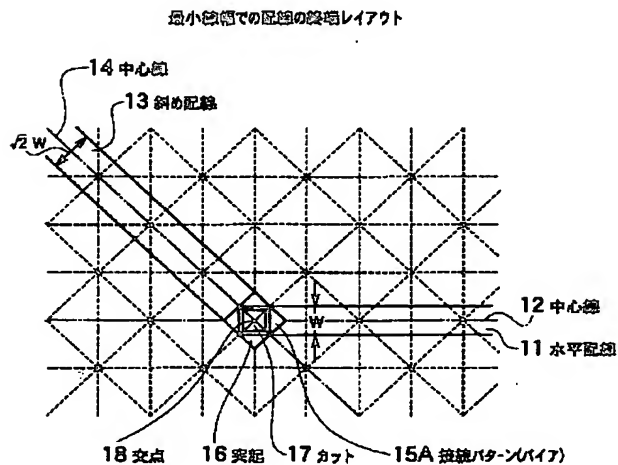
【図 26】従来の自動設計方法で生成された最小線幅での基準直交ラインの終端レイアウトを示す平面図である。

【図 27】従来の自動設計方法で生成された幅広線幅での基準直交ラインの終端レイアウトを示す図である。

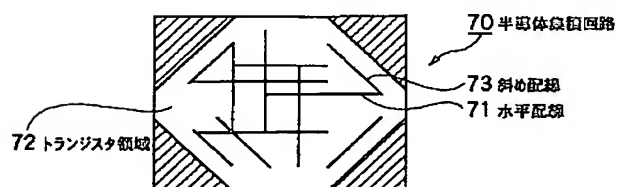
【符号の説明】

- 11、21、31、41、51、61、71、81 水平配線
 13、23、33、43、53、63、73、83 斜め配線
 15A、15B、25A、25B、35、45A、45B、55 接続パターン
 65A、65B ターンバイア

【図 1】

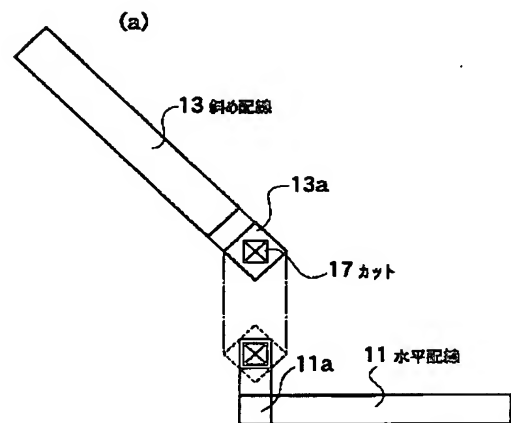


【図 13】

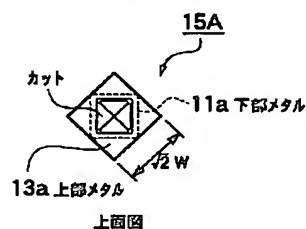


- 17、27、37、47、57 カット
 75 マスクセット
 80 斜め配線構造
 85 バイアホール
 70、100、200、300、400、500、600、700 半導体集積回路
 101 612、712 メインクロック供給配線
 110、210、310、410、510 PLL
 212、312、512 グローバルクロック供給配線
 220、320、520 DLL
 230、330、530 ランダムブロック
 420、540、630、730 クロックメッシュ
 610、710 ルートドライバ
 620、720 サブドライバ
 1000 自動設計装置
 1003 プログラム記憶部
 1005 データ記憶部
 1007 処理制御部
 1009 レイアウト表示部
 1011 入力装置
 1013 出力装置

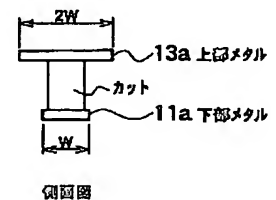
【図 2】



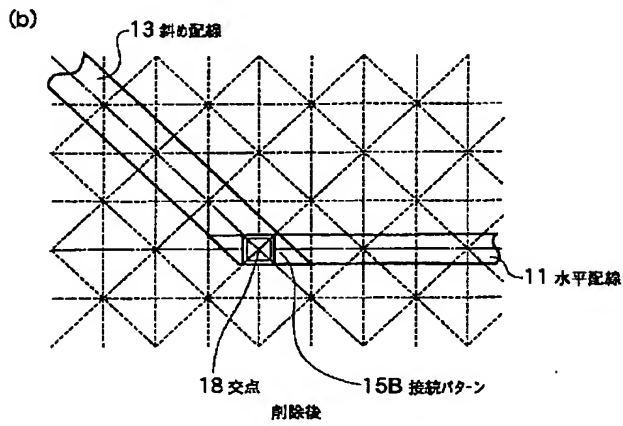
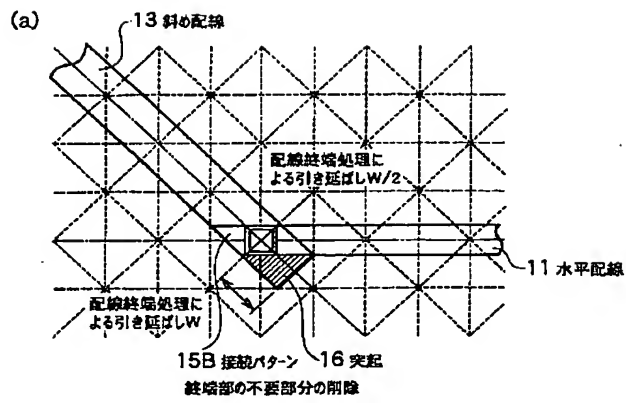
(b) EDAでの形状の定図



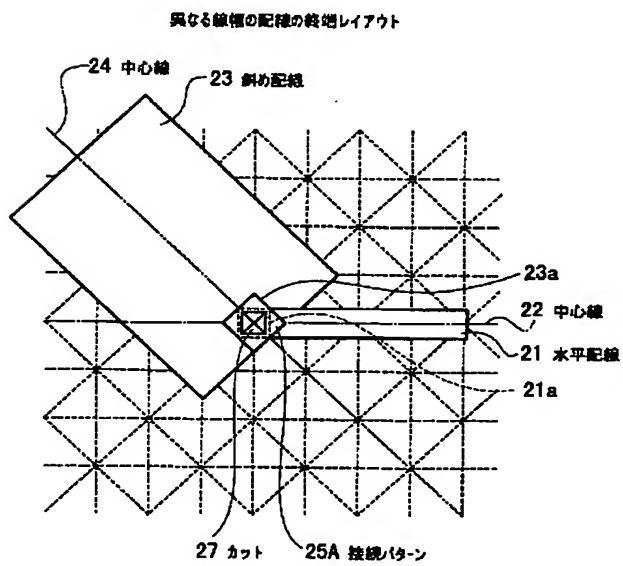
(c)



【図 3】

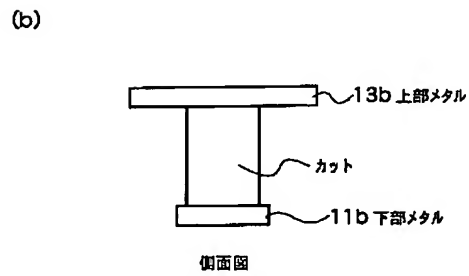
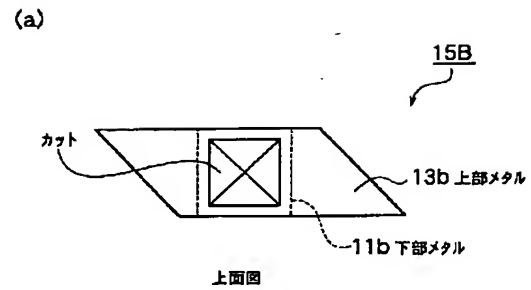


【図 5】

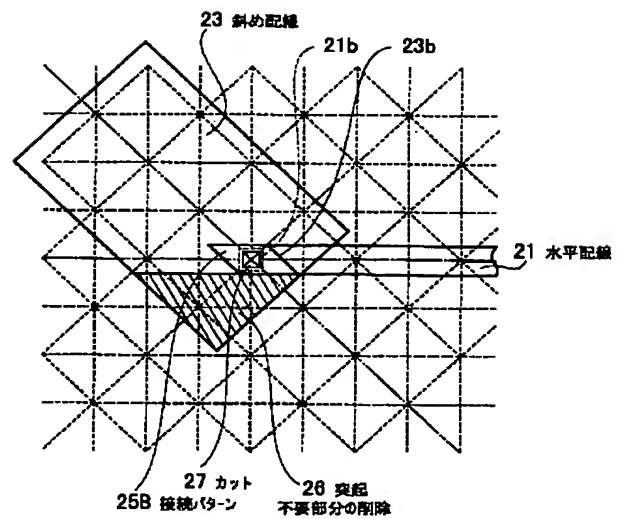


【図 4】

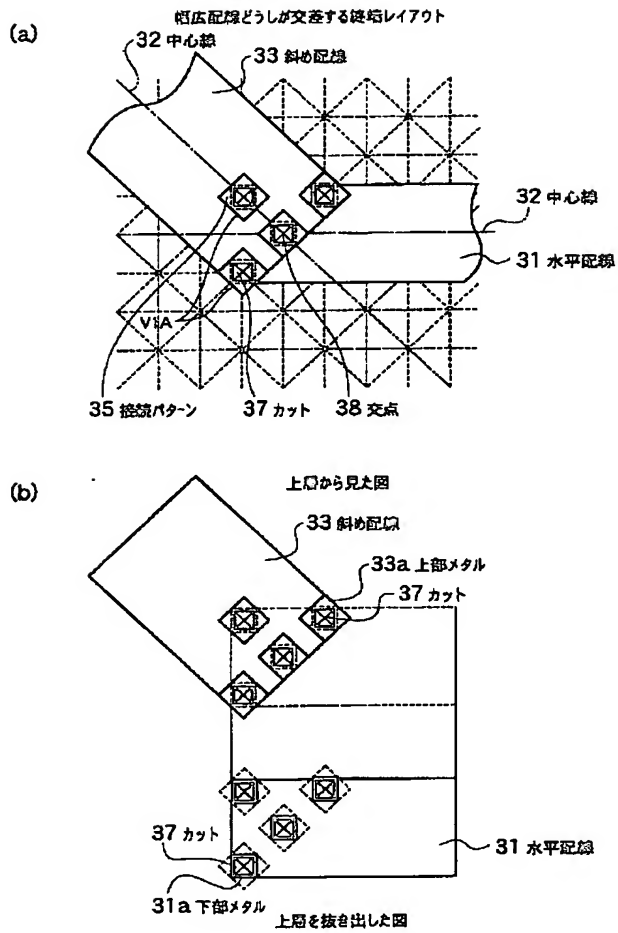
EDAでの形状の定義



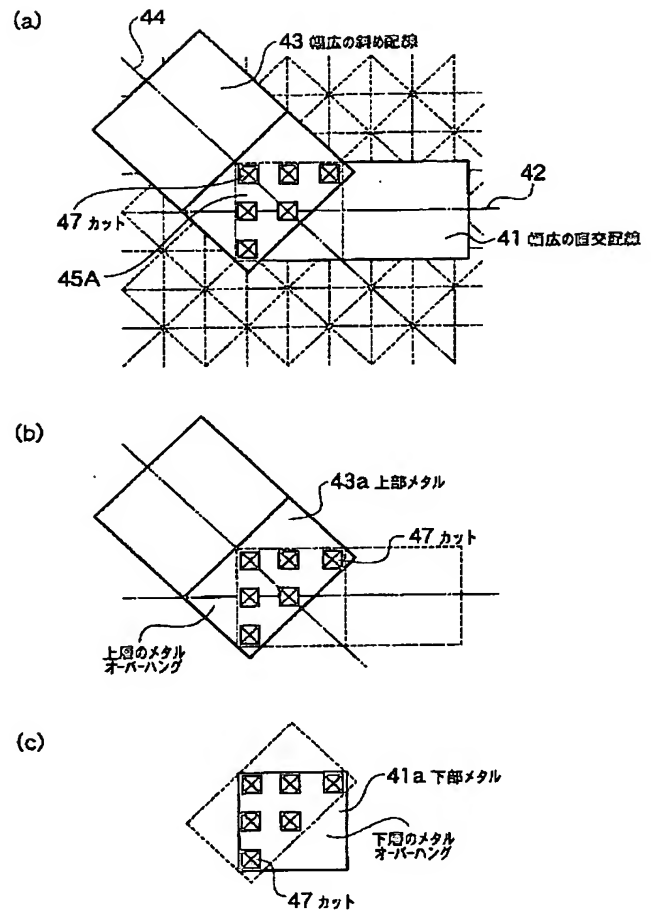
【図 6】



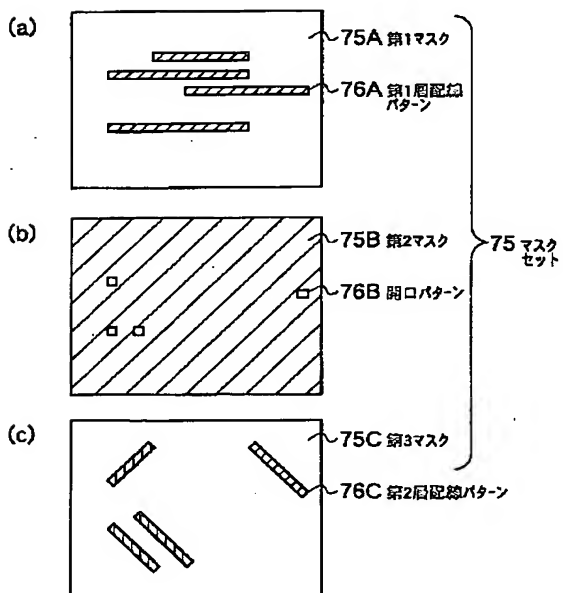
【図 7】



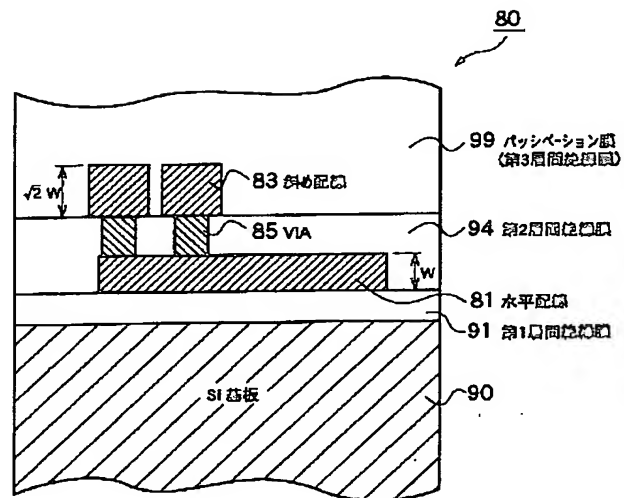
【図 8】



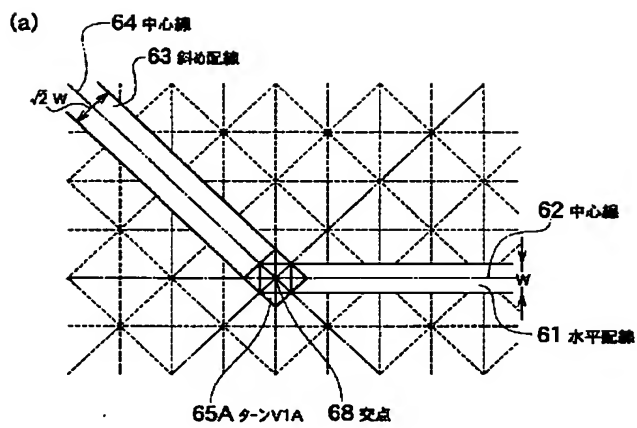
【図 14】



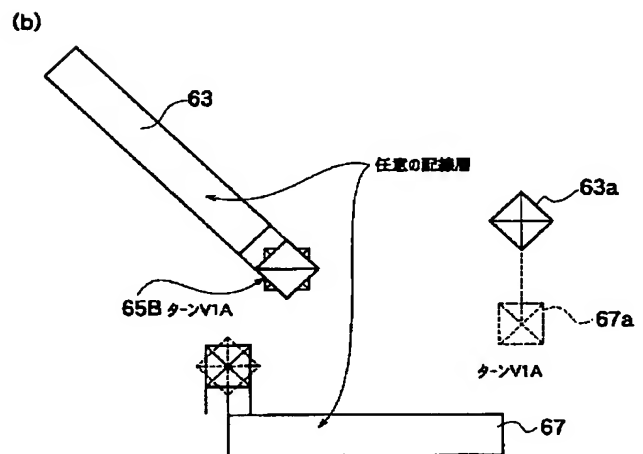
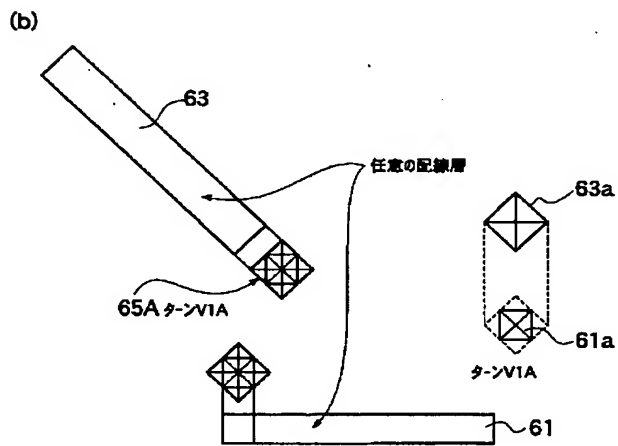
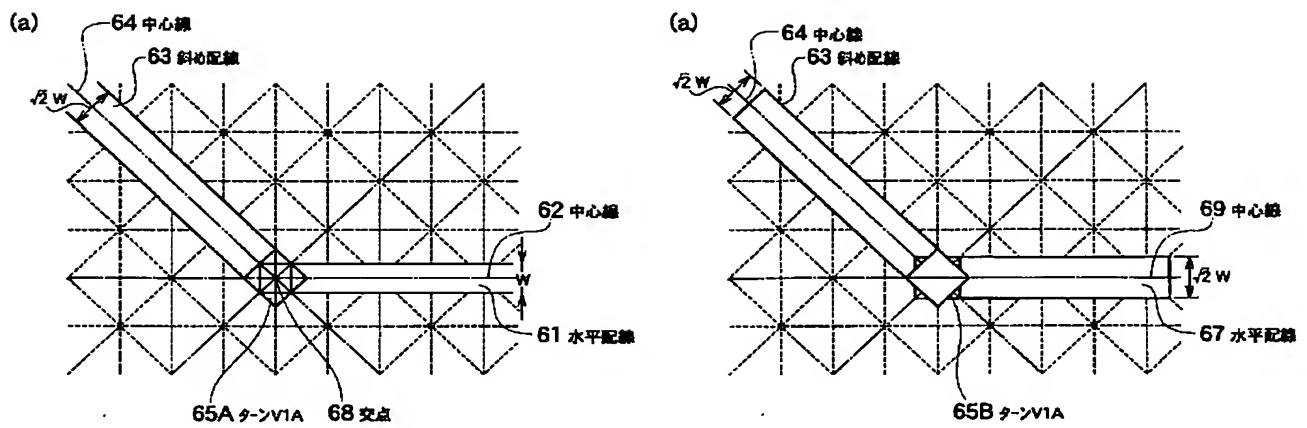
【図 15】



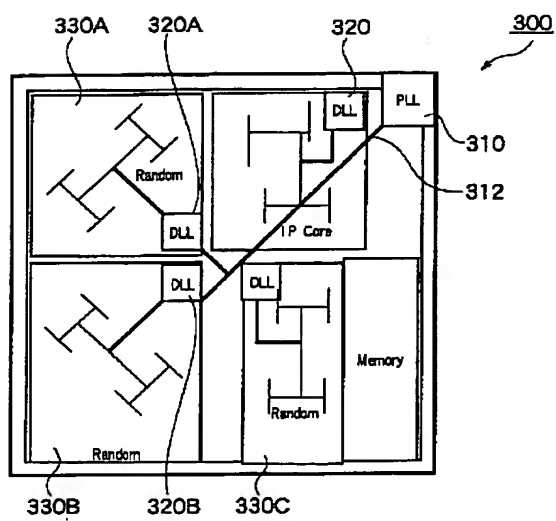
【図 11】



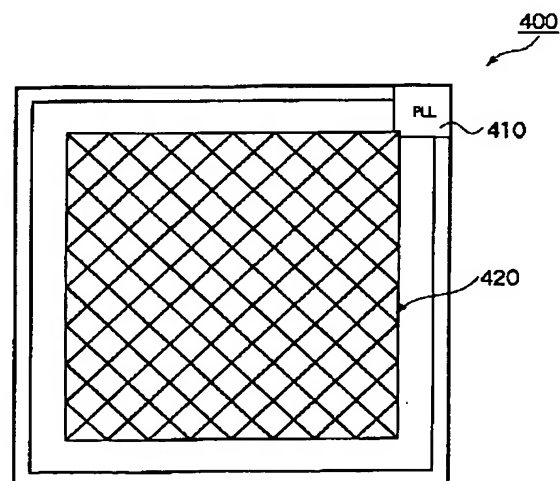
【図 12】



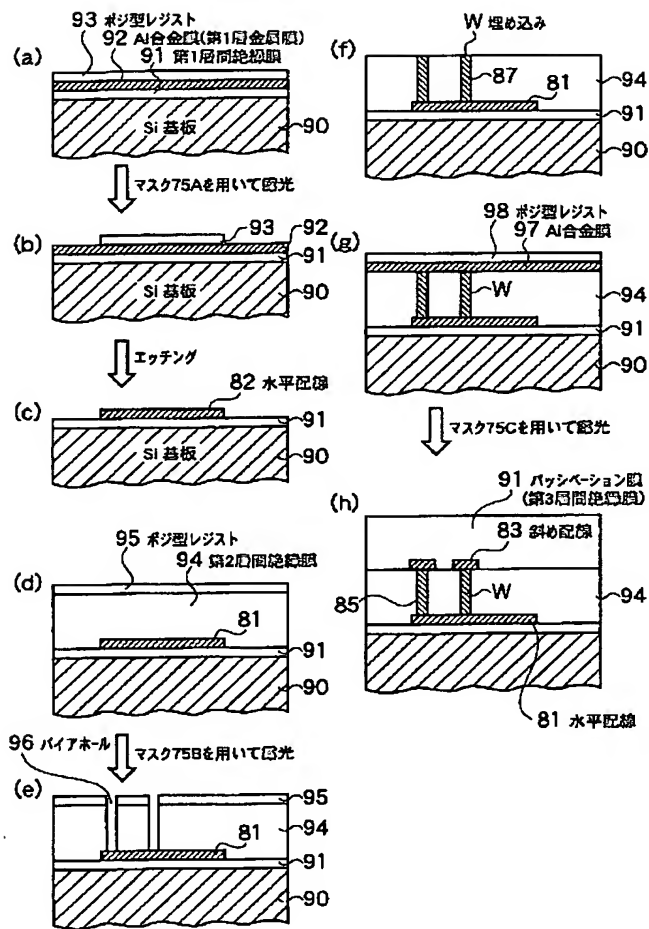
【図 19】



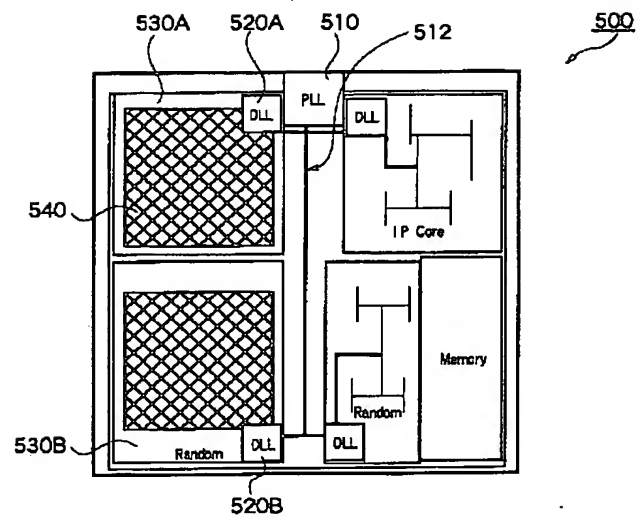
【図 20】



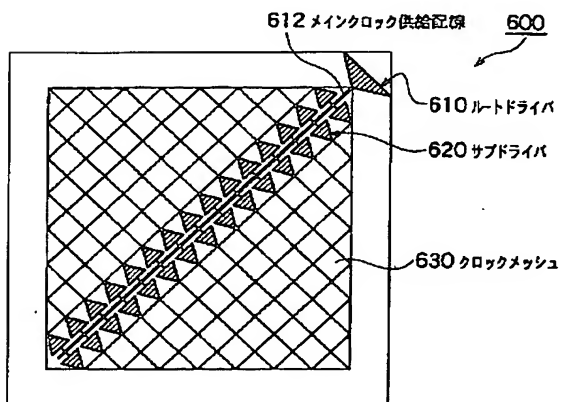
【図16】



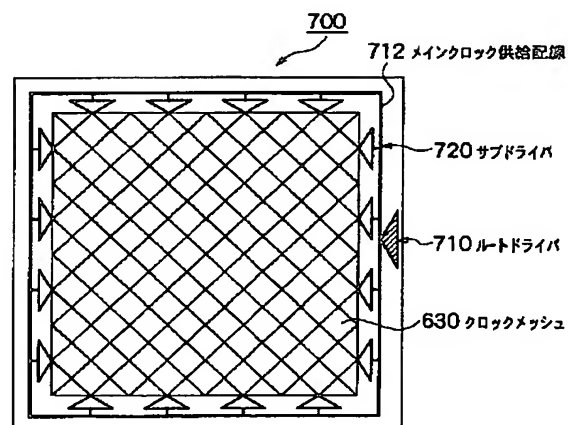
【図21】



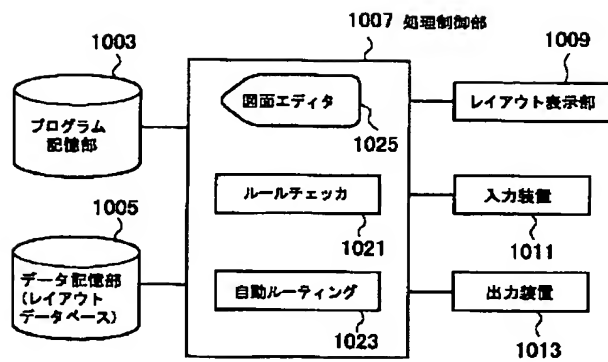
【図22】



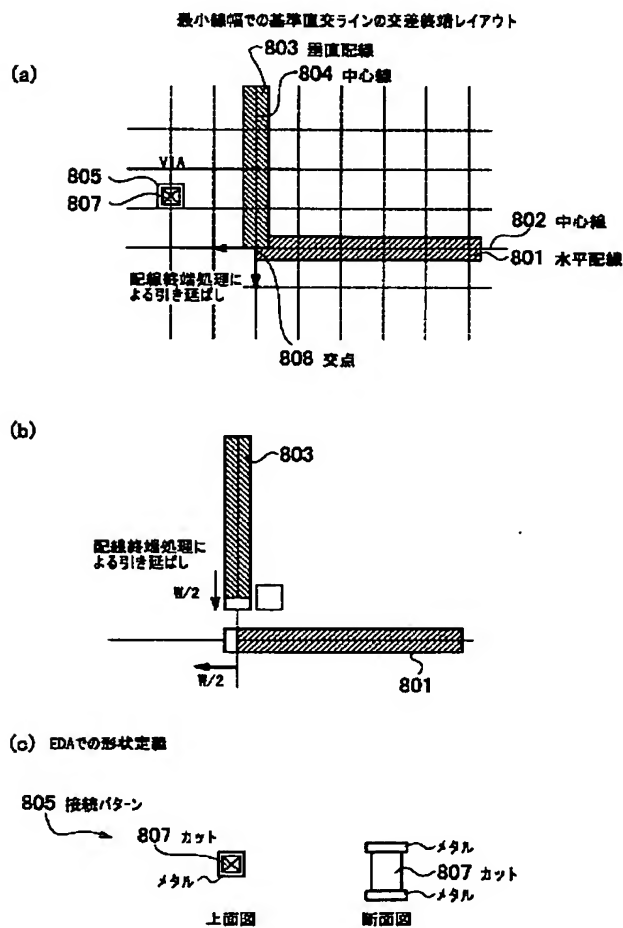
【図23】



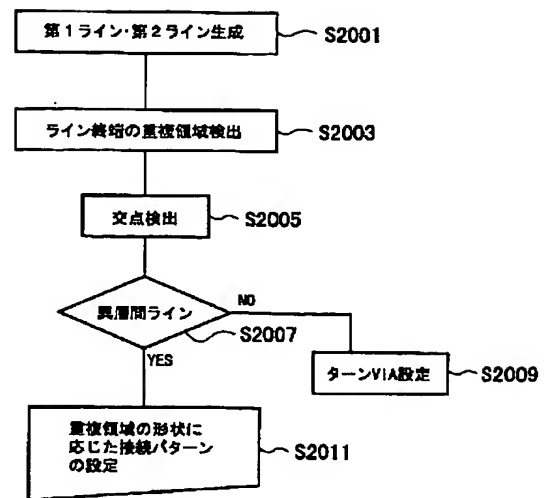
【図 24】



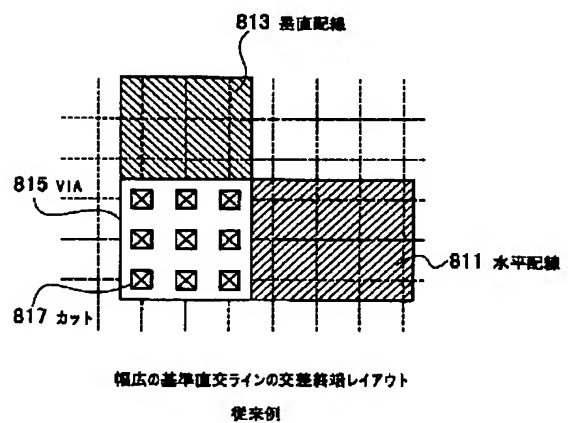
【図 26】



【図 25】



【図 27】



フロントページの続き

(72)発明者 三橋 隆
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 山田 正昭
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 南 文裕
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 石岡 尚
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

Fターム(参考) 2H095 BB02
5B046 AA08 BA06
5F064 BB40 DD14 EE02 EE09 EE12
EE16 EE22 EE26 EE27 EE54
EE60 HH10 HH12